

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *S.B. Akers, J.M. Geyer and D.L. Roberts IC Mask Layout with a Single Conductor Layer // Proceedings of 7th Design Automation Workshop, pages 7-16, 1970.*
2. *M.Y. Hsueh and D.O. Pederson Computer-Aided Layout of LSI Circuit Building-Block // Ph.D. thesis, University of California at Berkeley, December, 1979.*
3. *C.W. Carpenter and M. Horowitz, Generating Incremental VLSI Compaction Spacing Constraints, Proceedings of the 24th ACM/IEEE Design Automation Conference, pp. 291-297, IEEE Computer Society Press, June 1987.*

УДК 621.03

Е.В. Нужнов, А.А. Полупанов

**ОСОБЕННОСТИ И ВОЗМОЖНОСТИ АВТОМАТИЗИРОВАННОГО
ПРОЕКТИРОВАНИЯ ПЛИС РАЗЛИЧНОЙ АРХИТЕКТУРЫ***

Введение. Среди программируемых логических интегральных схем (ПЛИС) наибольший спрос сегодня имеют кристаллы Field Programmable Gate Array (**FPGA**) и комплексные программируемые логические устройства (Complex Programmable Logic Device, **CPLD**). ПЛИС состоит из матрицы блоков программируемой логики, между строками и столбцами которой имеются программируемые соединения. Пользователь ПЛИС может перепрограммировать блоки и связи даже в режимах эксплуатации своего устройства без ограничения числа перепрограммирований. Современные высокоинтегрированные кристаллы ПЛИС содержат, кроме упомянутых матриц, встроенную мощную память, трансиверы и даже микропроцессоры, которые пользователь может подключать для решения своих задач с помощью программируемых соединений внутри кристалла.

В настоящее время, ведущим мировым производителем ПЛИС является фирма Xilinx, которая предлагает пользователям множество семейств своих устройств [1, 2]. Рассмотрим особенности некоторых семейств ПЛИС, предлагаемых фирмой Xilinx.

Особенности ПЛИС CPLD семейства XC9500. Семейство XC9500 имеет структуру CPLD, которая напоминает структуру **EPLD** – (**Erasable Programmable Logic Device**) – основу их составляют макроячейки PAL-типа (рис. 1, где PLA – Programmable Logic Array; PAL Programmable Array Logic), позволяющие получать логические функции многих переменных с ограниченным числом термов.

Микросхемы этого типа могут быть использованы для создания нестандартных АЛУ, дешифраторов, мультиплексоров и т.д., где требуется логические функции многих переменных и небольшое число триггеров.

Микросхемы семейства XC9500 могут использоваться в крупносерийной аппаратуре, а также в системах, где требуется перепрограммирование «на ходу». Для программирования микросхем семейства XC9500 не требуется программатор. Перепрограммирование осуществляется сигналами от элементов с напряжением питания 5 В через специальные выводы микросхемы (JTAG-порт) в той же системе,

* Работа выполнена при поддержке: РФФИ (гранты № 05-08-18115, № 08-01-00473), РНП 2.1.2.3193, РНП 2.1.2.2238.

где и применяется данная ПЛИС. Минимальное число циклов перепрограммирования микросхем превышает 10000. Записанная конфигурация может сохраняться более 20 лет.

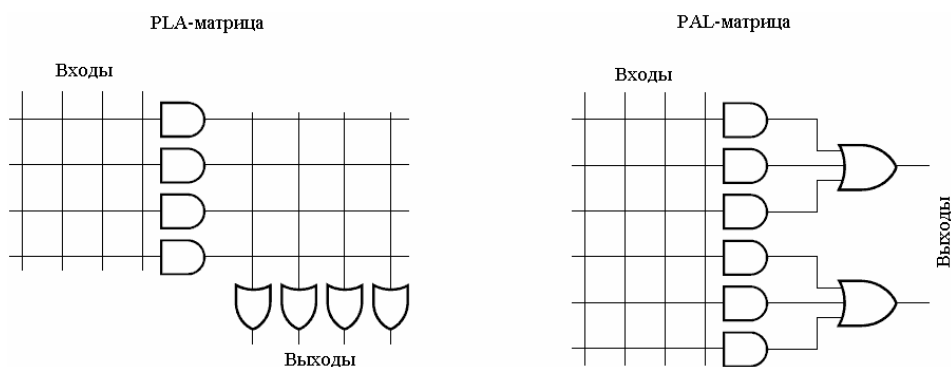


Рис. 1. Примеры PLA-матрицы и PAL-матрицы

Основными особенностями семейства являются:

- ◆ высокая производительность:
 - задержка от входа до выхода по всем выводам до 5 нс;
 - частота работы 16-разрядного счетчика до 125 МГц;
- ◆ широкий диапазон выбора микросхем по степени интеграции:
 - 36-288 макроячеек, или 800-6400 вентиляей;
- ◆ возможность перепрограммирования с напряжением питания 5 В:
 - не менее 10000 циклов запись/стирание;
 - программирование/стирание в полном коммерческом диапазоне напряжения питания и температур;
- ◆ расширенные возможности закрепления выводов перед трассировкой;
- ◆ наличие гибкого функционального блока 36V18:
 - любая из 18 макроячеек этого функционального блока может выполнять логическую функцию 36 переменных 1-90 термов;
 - глобальные и программируемые тактовые сигналы, сигнал «разрешение выхода», сигналы установки и сброса триггера;
- ◆ программируемый режим пониженной потребляемой мощности в каждой макроячейке;
- ◆ управление задержкой сигнала по любому из выходов;
- ◆ возможность назначения пользователем «общего» вывода;
- ◆ расширенная возможность защиты схемы от копирования;
- ◆ мощный выход (24 мА) с возможностью работы при питании выходных каскадов от напряжения 3,3 В или 5 В;
- ◆ полная поддержка периферийного сканирования в соответствии со стандартом IEEE Std 1149.1 (JTAG);
- ◆ производятся по технологии КМОП 5 В FastFlash;
- ◆ возможность параллельного программирования нескольких микросхем XC9500.

В состав семейства XC9500 входят шесть микросхем ёмкостью 36-288 макроячеек (что составляет 800-6400 вентиляей, соответственно), выполненные в различных корпусах. Все микросхемы семейства XC9500 совместимы по контактам, что

обеспечивает возможность лёгкого перехода от одной микросхемы к другой в том же корпусе.

Для производства микросхем семейства CPLD используется усовершенствованная КМОП технология – FastFlash, которая была специально разработана для производства ПЛИС с архитектурой CPLD. Технология FastFlash обеспечивает высокое быстродействие, быстрое программирование и более 10 000 циклов запись/стирание. Разработка проекта поддерживается универсальным пакетом программного обеспечения (ПО) **Xilinx Foundation Series**, поддерживающего все ПЛИС Xilinx, а также специализированным бесплатным ПО **WebPack**, доступным через Интернет [3].

Особенности ПЛИС CPLD семейства XPLA3. Семейство ПЛИС eXtended PLA (**XPLA**) XPLA3 является дальнейшим развитием серии микросхем CoolRunner. Микросхемы семейства XPLA3 предназначены для использования в системах с низким потреблением тока, которые включают мобильные, карманные, и чувствительные к энергопотреблению устройства. Каждый кристалл семейства XPLA3 производится с использованием технологии Fast Zero Power (**FZP**). Технология FZP позволяет производить кристаллы с задержкой распространения «контакт-контакт» до 5 нс и потреблением менее 100 мкА в статике, без использования дополнительных схем перевода в малое потребление. Такое низкое потребление (более чем в 100 раз меньше, чем у микросхем CPLD других производителей) обусловлено применением методики, основанной полностью на КМОП принципах. В отличие от всех других CPLD, где используются методы усилителя считывания для реализации логических произведений (которые применяются со времён биполярных технологий), в CPLD серии CoolRunner применяются каскадные цепи КМОП вентилей. Потребление тока в динамике для микросхем серии CoolRunner также значительно ниже (в 3-4 раза), чем всех остальных ПЛИС с архитектурой CPLD.

Разработка конфигурации кристалла семейства XPLA3 осуществляется с помощью пакета ПО **WebPack** [3]. Пакет включает в себя программы схемного и текстового (на языках Abel, VHDL) ввода, программу верификации, трассировки и программирования. Разработка осуществляется на компьютере или рабочей станции.

Для программирования микросхем семейства XPLA3 не требуется программатор – перепрограммирование осуществляется сигналами от элементов с напряжением питания 3.3 В через специальные выводы микросхемы (JTAG-порт) в той же системе, где применяется данная ПЛИС. **JTAG** (Joint Test Action Group) – специализированный аппаратный интерфейс, разработанный для тестирования цифровых процессоров (стандарт IEEE 1149.1). Минимальное число циклов перепрограммирования превышает 1000. Записанная конфигурация может сохраняться более 20 лет. Программирование и перепрограммирование, помимо программирования/перепрограммирования в системе, может также осуществляться программаторами производителей Data I/O, BP Microsystems, SMS и других.

В состав семейства XPLA3 входят шесть микросхем, ёмкостью 32-512 макроэлементов (что составляет 800-12800 логических вентилей, соответственно) в различных корпусах. Все микросхемы семейства XPLA3 совместимы по контактам, что обеспечивает возможность лёгкого перехода от одной микросхемы к другой в том же корпусе.

Основными особенностями семейства являются:

- ◆ напряжение питания ядра кристалла составляет 3.3 В;
- ◆ методология проектирования FZP обеспечивает ультранизкое потребление и высокое быстродействие;
- ◆ передовая архитектура XPLA3 обеспечивает высокое быстродействие и гибкость при реализации проекта пользователя;

- ◆ технология производства 0.35 мкм EEROM КМОП:
 - не менее 1000 циклов запись/стирание;
 - время сохранности записанной информации не менее 20 лет;
- ◆ возможность перепрограммирования в системе с напряжением питания 3.3 В, используя интерфейс JTAG IEEE 1149.1;
- ◆ ультранизкое потребление в статике (менее 100 мкА);
- ◆ простая детерминированная модель временных задержек распространения сигналов внутри кристалла;
- ◆ возможность асинхронного тактирования элементов схемы:
 - 20 тактовых сигналов производимых внутри логического блока;
 - 4 глобальных тактовых сигнала получаемых извне кристалла;
- ◆ расширенные возможности закрепления выводов перед трассировкой;
- ◆ совместимость блоков ввода-вывода с 5-ти вольтовой логикой;
- ◆ время установки данных на входы входных регистров кристалла 1,7 нс;
- ◆ задержка от входа до выхода по всем выводам до 5 нс;
- ◆ программируемая задержка на каждый выход;
- ◆ расширенная возможность защиты схемы от копирования;
- ◆ поддержка функции hot-plugging;
- ◆ проектирование осуществляется универсальными (различных фирм) и специализированными (фирмы Xilinx) САПР;
- ◆ четыре сигнала разрешения вывода на каждый функциональный блок;
- ◆ асинхронное тактирование макроячеек;
- ◆ асинхронный сброс/предустановка триггера макроячейки;
- ◆ сигнал разрешения тактирования в каждой макроячейке;
- ◆ выпускаются в коммерческом и промышленном исполнении;
- ◆ совместимы по выводам с кристаллами других семейств серии CoolRunner.

Особенности ПЛИС FPGA семейства Virtex. Семейство FPGA Virtex позволяет реализовать высокопроизводительные цифровые устройства большой логической емкости на одном кристалле. Резкое увеличение эффективности реализаций достигнуто благодаря новой архитектуре, более эффективной для размещения и трассировки элементов, а также производству кристаллов на основе процесса 0,22 мкм с 5 слоями металлизации. Всё это позволяет использовать кристаллы Virtex как альтернативу масочно-программируемым вентилям матрицам. В состав семейства Virtex входят девять микросхем, отличающихся логической емкостью (табл.). В таблице: КЛБ – конфигурируемый логический блок, LUT – Look-Up Table – (много)входная таблица преобразования.

Таблица

Основные характеристики микросхем семейства Virtex

Тип микросхемы	Системные вентили	Матрица КЛБ	Число логических ячеек	Макс. число входов / выходов	Блочная память, Бит	Память на базе LUT, Бит
XCV50	57906	16x24	1728	180	32768	24576
XCV100	108904	20x30	2700	180	40960	38400
XCV150	164674	24x36	3888	260	49152	55296
XCV200	236666	28x42	5292	284	57344	75264
XCV300	322970	32x48	6912	316	65536	98304
XCV400	468252	40x60	10800	404	81920	153600
XCV600	661111	48x72	15552	512	98304	221184
XCV800	888439	56x84	21168	512	114688	301056
XCV1000	1124022	64x96	27648	512	131072	393216

Основными особенностями семейства являются:

- ◆ высокопроизводительные, большой ёмкости, программируемые пользователем логические интегральные схемы с архитектурой FPGA:
 - ёмкость от 50К до 1М системных вентиляей;
 - системная производительность до 200 МГц;
 - совместимы с шиной PCI 66 МГц;
 - поддерживают функцию Hot-swap для Compact PCI;
- ◆ поддержка большинства стандартов ввода/вывода (технология SelectIO – упрощённая разводка платы при реализации высокоскоростного интерфейса к внешней памяти):
 - 16 высокопроизводительных стандартов ввода – вывода;
 - прямое подключение к ZBTRAM-устройствам с памятью произвольного доступа (Random Access Memory). ZBTRAM (ZBT – Zero Bus Turnaround RAM) – это синхронная статическая память, которой не требуется лишний такт при переходе от чтения к записи и наоборот, вызванный переключением направления передачи данных по шине.
- ◆ встроенные цепи управления тактированием:
 - четыре встроенных модуля автоподстройки задержек (delay-locked loop, DLL) для расширенного управления тактовыми сигналами как внутри кристалла, так и всего устройства;
 - четыре глобальных сети распределения тактовых сигналов с малыми разбегами фронтов, плюс 24 локальные тактовые сети;
- ◆ иерархическая система элементов памяти:
 - на базе 4-входовых таблиц преобразования (4-LUT) конфигурируемых либо как 16-ти битовая RAM, либо как 16-ти битовая двухпортовая RAM, либо как 16-ти битовый сдвиговый регистр;
 - встроенная блочная память, каждый блок конфигурируется как синхронная двухпортовая RAM ёмкостью 4 Кбит;
 - быстрые интерфейсы к внешней высокопроизводительной RAM;
- ◆ гибкая архитектура с балансом быстродействия и плотности упаковки логики:
 - специальная логика ускоренного переноса для высокоскоростных арифметических операций;
 - специальная поддержка умножителей;
 - каскадируемые цепочки для функций с большим количеством входов;
 - многочисленные регистры/зашёлки с разрешением тактирования и синхронные/асинхронные цепи установки и сброса;
 - внутренние шины с тремя состояниями;
 - логика периферийного сканирования в соответствии со стандартом IEEE1149.1;
 - датчик температуры кристалла;
- ◆ их автоматизированное проектирование осуществляется в среде ПО **Foundation™** и **Alliance Series**, работающего на компьютере или рабочей станции;
- ◆ конфигурация кристалла хранится во внешнем ПЗУ, и загружается в кристалл после включения питания автоматически или принудительно:
 - неограниченное число циклов загрузки;
 - четыре режима загрузки;

- ◆ производятся по технологии 0.22 мкм КМОП с 5-ти слойной металлизацией на основе статического ОЗУ;
- ◆ 100% фабричное тестирование.

Разработка кристаллов Virtex осуществляется в среде ПО проектирования **Xilinx Foundation** и/или **Xilinx Alliance**. Процесс проектирования включает: ввод проекта, размещение на кристалле и верификацию. Для ввода проекта могут применяться стандартные электронные САПР компаний Aldec, Cadence, Exemplar, Simplicity, Mentor Graphics или Synopsys. Для размещения и верификации используются специализированные под архитектуру САПР, выпускаемые только фирмой Xilinx.

Система проектирования фирмы Xilinx интегрирована в управляющую программу **Xilinx Design Manager (XDM)**, которая обеспечивает доступ к общему пользовательскому интерфейсу, не зависимо от выбора вида программы ввода или верификации. Программа XDM упрощает выбор настроек, необходимых для выполнения проекта, благодаря наличию разветвленного меню и легко доступной справочной системы (On-line Help). Прикладные программы, начиная от создания схемы (Schematic Capture), до размещения и трассировки (Placement and Routing), доступны из программы XDM. Цепочка команд, определяющих последовательность обрабатываемых процессов, генерируется до начала их исполнения и запоминается для последующего документирования. Расширенные возможности ПО облегчают проектирование микросхем VIRTEX. Например, схемные относительно расположенные макросы (Relationally Placed Macros, RPMs), в которых содержится информация о принудительной взаимной ориентации составных частей элементов проекта, дают необходимую информацию для их реального размещения на кристалле. Они помогают обеспечить оптимальное выполнение стандартных логических функций.

Среда проектирования поддерживает ввод иерархических проектов, в которых схемы верхнего уровня содержат основные функциональные блоки, в то время как системы нижнего уровня определяют логические функции этих блоков. Данные элементы иерархического проекта автоматически объединяются соответствующими средствами на этапе размещения на кристалле. При иерархической реализации могут объединяться различные средства ввода проекта, давая возможность каждую из частей вводить наиболее подходящим для неё методом.

Таким образом, созданное на основе опыта, приобретённого при разработках предыдущих серий FPGA, семейство Virtex является существенным шагом вперёд, определяющим новые стандарты в производстве программируемой логики. Сочетая большое разнообразие новых системных свойств, иерархию высокоскоростных и гибких трассировочных ресурсов с передовой технологией изготовления «кремния», семейство Virtex предоставляет разработчику широкие возможности реализации быстродействующих цифровых устройств большой логической ёмкости при значительном снижении времени разработки.

В заключении следует отметить, что на кафедре САПР Таганрогского технологического института Южного федерального университета разработан новый учебный план подготовки высококвалифицированных специалистов, владеющих современными промышленными САПР ведущих компаний-разработчиков. Одной из ключевых является дисциплина «Автоматизация проектирования СБИС». В этой связи знание передовых технологий и разработок в области ПЛИС, рассмотренных в настоящей статье, является важным. Материал статьи отражает особенности и возможности автоматизированного проектирования наиболее популярных семейств ПЛИС фирмы Xilinx и, по сути, является дополнением указанного выше лекционного курса.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Краткое техническое описание, 2001. – http://epu.ref.nstu.ru/files/downloads/softndocs/Xilinx/D1/xilinx/sw_doc/pdf/.
2. *Комухаев Э.* Новые микросхемы семейств FPGA, ASIC, ASSP. Chip News №10(93), 2004. – С.32–36.
3. ISE WebPACK Software, 2008. – http://www.xilinx.com/ise/logic_design_prod/web-pack.htm.

УДК 658.512.2.011.5

Н.К. Лисяк

**ПРОГРАММНЫЕ ПРОДУКТЫ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННЫХ
УСТРОЙСТВ НА БАЗЕ ПЛИС***

Значительным стимулом для прогресса автоматизации проектирования в электронике (ЕСАВ – Electronics Computer Aided Design) стали разработка и развитие технологии, схемотехники и системотехники интегральных схем. В настоящее время на рынке интеллектуальных технологий имеется большое число программ ЕСАВ, причем, процесс обновления состава ПО в САПР ведущих фирм происходит весьма динамично.

Системы ЕСАВ создавались и совершенствовались параллельно с прогрессом микроэлектроники. В электронике наиболее наукоемкими процедурами, насыщенными сложным математическим обеспечением, являются процедуры проектирования СБИС. В значительной мере методы, алгоритмы, языки, ориентированные на проектирование СБИС, могут применяться и в маршрутах проектирования радиоэлектронных устройств, в которых микросхемы составляют элементную базу.

Формализация процедур структурного синтеза в общем случае затруднительна, поэтому для их эффективного выполнения обычно используют специализированные программы, ориентированные на ограниченный класс проектируемых схем [1]. Характерные особенности технологии изготовления и проектирования имеют микропроцессоры и схемы памяти, заказные и полужаказные СБИС, в том числе, программируемые логические интегральные схемы (ПЛИС). Эти особенности обуславливают различия в методах проектирования схем и требуют их отражения в применяемом математическом и программном обеспечении ЕСАВ.

В качестве ПЛИС широко используют программируемые логические схемы CPLD (Complex Programmable Logic Device) программируемые логические схемы и программируемые вентиляльные матрицы FPGA (Complex Programmable Logic Device). В случае использования CPLD для отражения структуры конкретной схемы в инвариантном по отношению к приложению множестве функциональных ячеек требуется выполнить заключительные технологические операции металлизации. В случае схемы FPGA программатор, согласно заданной программе, просто расплавляет имеющиеся перемычки или, наоборот, их создает, локально ликвидируя тонкий изолирующий слой. Следовательно, при использовании CPLD и FPGA необходимо с помощью САПР выбрать систему связей между ячейками программируемого прибора в соответствии с реализуемыми в схеме алгоритмами и синтезировать программы управления программатором или заключительной операцией ме-

* Работа выполнена при поддержке: РФФИ (грант № 08-01-00473), РНП 2.1.2.3193, РНП 2.1.2.2238, г/б № Т.12.8.08.