

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Краткое техническое описание, 2001. – [http://epu.ref.nstu.ru/files/downloads/softndocs/Xilinx/D1/xilinx/sw\\_doc/pdf/](http://epu.ref.nstu.ru/files/downloads/softndocs/Xilinx/D1/xilinx/sw_doc/pdf/).
2. *Комухаев Э.* Новые микросхемы семейств FPGA, ASIC, ASSP. Chip News №10(93), 2004. – С.32–36.
3. ISE WebPACK Software, 2008. – [http://www.xilinx.com/ise/logic\\_design\\_prod/web-pack.htm](http://www.xilinx.com/ise/logic_design_prod/web-pack.htm).

УДК 658.512.2.011.5

**Н.К. Лисяк**

**ПРОГРАММНЫЕ ПРОДУКТЫ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННЫХ  
УСТРОЙСТВ НА БАЗЕ ПЛИС\***

Значительным стимулом для прогресса автоматизации проектирования в электронике (ЕСАВ – Electronics Computer Aided Design) стали разработка и развитие технологии, схемотехники и системотехники интегральных схем. В настоящее время на рынке интеллектуальных технологий имеется большое число программ ЕСАВ, причем, процесс обновления состава ПО в САПР ведущих фирм происходит весьма динамично.

Системы ЕСАВ создавались и совершенствовались параллельно с прогрессом микроэлектроники. В электронике наиболее наукоемкими процедурами, насыщенными сложным математическим обеспечением, являются процедуры проектирования СБИС. В значительной мере методы, алгоритмы, языки, ориентированные на проектирование СБИС, могут применяться и в маршрутах проектирования радиоэлектронных устройств, в которых микросхемы составляют элементную базу.

Формализация процедур структурного синтеза в общем случае затруднительна, поэтому для их эффективного выполнения обычно используют специализированные программы, ориентированные на ограниченный класс проектируемых схем [1]. Характерные особенности технологии изготовления и проектирования имеют микропроцессоры и схемы памяти, заказные и полужаказные СБИС, в том числе, программируемые логические интегральные схемы (ПЛИС). Эти особенности обуславливают различия в методах проектирования схем и требуют их отражения в применяемом математическом и программном обеспечении ЕСАВ.

В качестве ПЛИС широко используют программируемые логические схемы CPLD (Complex Programmable Logic Device) программируемые логические схемы и программируемые вентиляльные матрицы FPGA (Complex Programmable Logic Device). В случае использования CPLD для отражения структуры конкретной схемы в инвариантном по отношению к приложению множестве функциональных ячеек требуется выполнить заключительные технологические операции металлизации. В случае схемы FPGA программатор, согласно заданной программе, просто расплавляет имеющиеся перемычки или, наоборот, их создает, локально ликвидируя тонкий изолирующий слой. Следовательно, при использовании CPLD и FPGA необходимо с помощью САПР выбрать систему связей между ячейками программируемого прибора в соответствии с реализуемыми в схеме алгоритмами и синтезировать программы управления программатором или заключительной операцией ме-

---

\* Работа выполнена при поддержке: РФФИ (грант № 08-01-00473), РНП 2.1.2.3193, РНП 2.1.2.2238, г/б № Т.12.8.08.

таллизации. Ячейки могут быть достаточно сложными логическими схемами, вентилями или даже отдельными транзисторами. На производстве кристаллов ПЛИС специализируется ряд фирм (Xilinx Inc., Altera, Actel и другие) и, зачастую, они поставляют программное обеспечение для синтеза схем на производимых ими кристаллах.

Основными производителями программных продуктов для проектирования электронных устройств на базе ПЛИС являются фирмы Mentor Graphics Corp., Aldec, Ins. и Xilinx Inc. (США) и фирма Altium Limited (Австралия). Информация в статье приводится на период до 2008 года и содержит сведения о программных продуктах этих производителей, представленных в России.

В работе кратко рассмотрены программные продукты в области проектирования электронных устройств на базе ПЛИС (FPGA, программируемая логика) и предназначенные для:

- ◆ проектирования на схемотехническом уровне с последующей передачей данных в программы, создающие печатные платы или ПЛИС;
- ◆ отладки процессорных ядер на уровне исходных кодов;
- ◆ создание проектов на кристаллах всех ведущих производителей с легким переходом с выбранного кристалла на другой кристалл;
- ◆ редактирования ядер процессоров на уровне исходных кодов на С или ассемблере (С и ассемблер-компилятор с высоким уровнем оптимизации, симулятор, линковщик);
- ◆ поддержки работы с многомиллионными программируемыми системами на кристалле (FPSoC) последнего поколения;
- ◆ логического и физического синтеза высокопроизводительных ПЛИС типа CPLD и FPGA.

На рис. 1 показаны производители и их программные продукты в области проектирования электронных устройств на базе ПЛИС, а ниже приводится краткое описание их основных возможностей и особенностей. При подготовке обзора использованы источники [2-6].



Рис. 1. Программные продукты проектирования электронных устройств на базе ПЛИС

#### Программные продукты компании Altium Limited, Австралия

**Altium Designer.** Представляет собой комплект известных программ компании Altium Limited, предназначенный для комплексного проектирования электронных устройств на базе схем программируемой логики (ПЛИС).

В комплект входят следующие программы:

- ◆ CAMtastic – проверка и исправление проектов печатных плат;
- ◆ CircuitStudio – проектирование на схемотехническом уровне с передачей данных в программы, создающие печатные платы или ПЛИС;
- ◆ Nexar – проектирование электронных устройств на базе ПЛИС (FPGA) с использованием библиотек процессорных ядер;
- ◆ Protel – система сквозного проектирования печатных плат.

Altium Limited обеспечивает:

- ◆ возможность назначения линиям на схеме стиля стрелки;
- ◆ возможность редактирования текста на листе схемы;
- ◆ группировку компонентов на схеме, сохранение их как заготовок;
- ◆ перемещение объектов на плате на заданное расстояние;
- ◆ поддержку TrueType шрифтов в редакторе печатных плат;
- ◆ поддержку трассировки дифференциальных пар и шин;
- ◆ редактирование зеркального вида платы;
- ◆ совместимость с библиотеками PSpice.

**CircuitStudio.** Программа предназначена для моделирования и анализа целостности сигналов и позволяет выполнять проектирование на схемотехническом уровне с последующей передачей данных в программы, создающие печатные платы или ПЛИС.

Программа интегрирована в Protel. В настоящее время программа предлагается в комплекте Altium Designer.

Позволяет вводить в проект VHDL-описания. Имеется поддержка поведенческого VHDL-моделирования. В CircuitStudio имеются общие с Protel библиотеки (более 68000 элементов). Библиотеки позволяют присоединить к одному УГО неограниченное количество корпусов, SPICE-моделей, моделей для анализа целостности сигналов.

Цифроаналоговое проектирование осуществляется по принципиальной схеме. Среди средств анализа имеется и метод Монте-Карло. Всего более 16000 математических моделей.

Импедансы и возможные перекрестные отражения могут быть проведены на заключительных этапах работы. Возможен предварительный расчёт перекрестных отражений до этапа компоновки и трассировки печатной платы.

Возможен импорт проектов из OrCAD и PCAD, импорт и экспорт форматов DWG и DXF, а также генерация списков соединений в наиболее популярных форматах. Оформление перечней элементов по ЕСКД.

**Nexar.** Программа позволяет проектировать электронные устройства на базе ПЛИС (FPGA, программируемая логика) с использованием большого набора процессорных ядер.

В настоящее время программа предлагается в комплекте Altium Designer.

Nexar предоставляет следующие возможности:

- ◆ VHDL-моделирование и VHDL-ввод проекта;
- ◆ возможность отладки процессорных ядер на уровне исходных кодов;
- ◆ интеграция с платой отладки NanoBoard;
- ◆ интеграция с технологией LiveDesign;
- ◆ комплект синтезированных IP-блоков и ядер процессоров;
- ◆ схемный ввод проекта.

Возможно создание проектов на кристаллах всех ведущих производителей. Легкий переход с выбранного кристалла на другой кристалл.

Редактирование ядер процессоров на уровне исходных кодов на С или ассемблере (С и ассемблер-компилятор с высоким уровнем оптимизации, симулятор, линковщик).

В программе Nexar значительно сокращено время проектирования устройств на базе ПЛИС за счет применения технологии LiveDesigne, которая позволяет контролировать в реальном времени то, что происходит в ПЛИС в процессе проектирования.

### Программные продукты компании Aldec, Ins., США

**Active-HDL.** Программа предназначена для проектирования цифровых устройств и является полностью интегрированной средой разработки цифровых устройств на основе текстовых HDL описаний. Создание проектов, моделирование для многих типов программируемых интегральных схем ПЛИС. Программа поддерживает средства синтеза и размещения-разводки для основных производителей ПЛИС (FPGA). Имеется возможность использовать встроенный генератор IP-блоков для создания таких моделей, как: арифметические функции, фильтры, последовательностная логика, блоки памяти, конверторы кодов, элементы для построения тестов, промышленные приложения.

Встроенная функция Code2Graphics может генерировать графическое представление проектов, сделанных на языках VHDL или Verilog. Code2Graphics анализирует исходные файлы на указанных языках или формате EDIF и затем генерирует один или более файлов блок-диаграмм в зависимости от количества проектных объектов, модулей или элементов.

Программа содержит прекомпилированные библиотеки производителей ПЛИС. Выполненные проекты могут быть экспортированы в файл формата HTML. Active-HDL полностью совместима с системой моделирования Riviera, которая позволяет производить моделирование на платформах Linux и Unix.

Обеспечивается двунаправленный обмен атрибутами между моделями SolidWorks и свойствами документов в хранилище. Поддерживаемые стандарты: VHDL 1076-87/93, Verilog 1364-95/2001 (частично), VITAL 1076.4-95/2000, SDF 1.0, 2.0 и 3.0.

**Riviera-IPT.** Программа предназначена для аппаратно-программного моделирования и является средой моделирования, позволяющей для ускорения верификации размещать проект целиком или частично на платах прототипах. Это дает значительный прирост производительности в сравнении с обычной программной верификацией и значительно ускоряется процесс верификации ASIC и FPGA (ПЛИС) проектов.

Riviera-IPT разделяет нагрузку между аппаратным PCI-ускорителем и программным симулятором. Многоцелевое ядро симулятора позволяет моделировать смешанные VHDL, Verilog, и SystemC проекты.

Программа автоматически находит и переводит в аппаратное представление части проекта, требующие наибольшего времени моделирования.

Riviera-IPT содержит следующие компоненты:

- ◆ высокопроизводительный симулятор Riviera;
- ◆ плата ускорителя;
- ◆ управление моделированием проекта (Design Verification Manager).

Design Verification Manager осуществляет разбиение проекта на части, оставляя не синтезируемые участки в симуляторе и размещая, синтезируемые части на плате ускорителя.

Основу платы ускорителя Riviera-IPT составляют стандартные ПЛИС (FPGA) микросхемы и PCI-интерфейс.

В процессе моделирования плата ускорителя синхронизируется с программным симулятором и работает с ним на одной частоте.

### **Программные продукты компании Mentor Graphics Corp., США**

**Precision Synthesis.** Комплексное средство логического и физического синтеза высокопроизводительных ПЛИС типа PLD и FPGA, оптимизированное с точки зрения простоты использования и высокого качества результатов.

Поддерживает работу с многомиллионными программируемыми системами на кристалле (FPGa) последнего поколения. Получает входные данные о проекте в виде описания на VHDL или Verilog и реализует синтез логической схемы с учетом заданных ограничений на основе встроенных библиотек изготовителей.

Пакет имеет встроенную систему статического временного анализа, возможность анализа и отладки в инкрементном режиме и интуитивный пользовательский интерфейс, позволяющий легко управлять процессом синтеза, как опытному инженеру, так и новичку. Precision RTL Synthesis включает уникальный алгоритм оптимизации – Architecture Signature Extraction (A.S.E.). Алгоритм автоматически выделяет в проекте наиболее критичные области, ограничивающие производительность всей системы, такие как конечные автоматы, логические пути между различными уровнями иерархии проекта или логические пути с очень большим количеством комбинационной логики. Алгоритм (A.S.E.) использует эвристический анализ в автоматическом режиме для уменьшения объема проекта и увеличения его производительности без необходимости ручного вмешательства пользователя.

Precision RTL Synthesis полностью интегрирован в маршрут проектирования FPGA, Advantage, включающий пакеты HDL Designer и ModelSim. Поддерживаются все серии кристаллов Xilinx, Altera, Actel и Lattice.

**FPGA Advantage.** Представляет собой комплект программ компании Mentor Graphics, предназначенный для проектирования систем на ПЛИС FPGA. В комплект входят следующие программы:

- ◆ HDL Designer – текстовый и графический ввод HDL-проектов, управление процессом проектирования, экспорта/импорта IP-блоков, выпуск документации;
- ◆ Leonardo Spectrum – система логического синтеза FPGA /ASIC;
- ◆ ModelSim – система цифрового моделирования проектов на языках VHDL, Verilog, SystemC;
- ◆ Precision RTL/Physical Synthesis – логический и физический синтез FPGA.

Основные возможности. Комплексный интегрированный маршрут проектирования PDL/FPGA. Включает средство создания проекта – HDL Designer, средство анализа и моделирования проекта – ModelSim и средство логического/физического синтеза – Precision RTL/Physical Synthesis или Leonardo Spectrum. Качество результатов и продуктивность улучшены благодаря глубокой интеграции вышеуказанных средств в единый маршрут проектирования. Ядром FPGA Advantage служит пакет HDL Designer, который является средой создания проекта, управления процессом проектирования и выпуска документации, реализует функции повторного использования проектных решений и является связующим звеном с системами моделирования и синтеза. Каждый компонент FPGA Advantage является мощным средством проектирования, которое может использоваться отдельно или совместно с программами других поставщиков.

### Программные продукты компании Xilinx Inc., США

**ChipScore Pro.** Программа ChipScore Pro обеспечивает внутрисхемную отладку ПЛИС FPGA фирмы Xilinx. Работает посредством внедрения в проект IP-ядер логического анализатора, шинного анализатора и виртуального ввода/вывода, позволяя наблюдать за любым заданным внутренним сигналом или узлом, включая встроенные аппаратные или софт-процессоры. Сигналы захватываются со скоростью, допустимой хост-компьютером, и передаются через интерфейс JTAG, освобождая таким образом программируемые выходы ПЛИС для использования разработчиком. Следует отметить, что по интерфейсу JTAG производится и загрузка конфигурационной последовательности в ПЛИС, соответственно для отладки не требуется какое-либо дополнительное оборудование. Захваченные сигналы могут быть проанализированы с помощью логического анализатора, входящего в состав ChipScore Pro. Связь отлаживаемой платы с компьютером осуществляется через отладочный кабель фирмы Xilinx.

ChipScore Pro также совместима по интерфейсу с тестовым оборудованием компании Agilent, что позволяет обеспечить больше памяти для хранения данных тестирования, более высокие тактовые частоты и другие дополнительные возможности и, кроме того, задействует для своей работы всего несколько выводов FPGA. Для работы программы ChipScore Pro необходим пакет ISE Foundation или WebPack соответствующей версии.

Поддерживаются ОС: WindowsXP/2000, Red Hat Enterprise, Solaris.

**EDK.** Xilinx Embedded Development Kit (EDK) – интегрированный программный пакет для сквозной разработки встраиваемых программируемых процессорных систем на базе ПЛИС Xilinx. Пакет включает программное средство Platform Studio, всю необходимую документацию и IP-ядра, которые могут потребоваться для разработки встраиваемых систем на основе FPGA фирмы Xilinx с встроенными аппаратными ядрами процессора PowerPC и/или софт-процессорами MicroBlaze. Для работы пакета EDK необходим пакет ISE Foundation или ISE WebPack соответствующей версии.

Основные модули:

- ◆ Xilinx Platform Studio (XPS): графический редактор управления файлами проекта; интерфейс к подпрограммам EDK и ISE.
- ◆ Средства разработки ПО: GNU C/C++ компилятор программ для процессоров MicroBlaze и PowerPC; XMD-отладчик для процессоров Xilinx Microprocessor Debug engine.
- ◆ Заготовки встраиваемых систем для готовых плат производства Xilinx и третьих фирм, а также возможность создания собственных встраиваемых систем.
- ◆ IP-ядра периферийных шин и устройств для процессоров MicroBlaze и PowerPC.
- ◆ IP-ядро процессора MicroBlaze.
- ◆ VHDL/Verilog-модели процессоров и IP-ядер для использования при симуляции.

Поддерживаются ОС: WindowsXP/2000, Red Hat Enterprise Linux 3, Solaris.

**ISE Foundation.** Пакет программ ISE Foundation (версия 8.ii) предназначен для реализации цифровых систем на базе ПЛИС фирмы Xilinx следующих семейств:

- ◆ Virtex-4 FX (LX), Virtex-4 SX, Virtex-II Pro, Virtex-II, Virtex-E, Virtex;
- ◆ Spartan-3E, Spartan-3/3L, Spartan-III, Spartan-II;

- ◆ CoolRunner-II, CoolRunner XPLA3;
- ◆ XC9500XV, XC9500XL, XC9500.

Основные модули пакета:

- ◆ редактор схемотехнического ввода;
- ◆ редактор ввода на языках VHDL и Verilog;
- ◆ CORE Seneagator – генератор оптимизированных IP-ядер;
- ◆ редактор тестовых воздействий для программы моделирования;
- ◆ программа функционального и временного моделирования;
- ◆ синтезатор VHDL/Verilog-кода;
- ◆ программа автоматического размещения и трассировки ПЛИС;
- ◆ программы «ручного» размещения и оптимизации проекта;
- ◆ программа загрузки конфигурационной последовательности в ПЛИС FPGA и программирования ПЛИС CPLD и ППЗУ.

ISE WebPack – бесплатный пакет, по адресу: <http://www.xilinx.com>, ограничен: поддержка ПЛИС емкостью до 1,5 млн. системных вентиляей.

**PlanAhead.** Программное обеспечение PlanAhead позволяет разработчикам через анализ топологии кристалла повышать производительность проектов. PlanAhead упрощает переход между синтезом и трассировкой проектов, обеспечивая существенное уменьшение количества и длительности итераций повторного проектирования. PlanAhead предоставляет возможность взглянуть изнутри на процесс размещения и трассировки и быстро проверить «а что будет, если?», предлагая, таким образом, быстро идентифицировать и устранить проблемы. В сочетании с ISE 8.1i разработчики могут получить до 30% прироста производительности по сравнению с аналогичными решениями, в то время, как для сложных проектов с несколькими тактовыми доменами можно ожидать до 56% прироста.

Для работы пакета PlanAhead необходим пакет ISE Foundation или ISE WebPack соответствующей версии.

Поддерживаемые ПЛИС Xilinx: Virtex-II Pro; Virtex-II; Spartan-3E; Spartan-3; Virtex-4 FX; Virtex-4 LX; Virtex-4 SX. Системные требования: Microsoft Windows 2000 или XP Professional; Sun Solaris 2.8/5.8, 2.9/5.9; Red Hat Enterprise Linux 3 (32 или 64 бит).

**System Generator for DSP.** Является инструментом для разработки и отладки высокопроизводительных систем цифровой обработки сигналов. Позволяет использовать наиболее производительные из имеющихся на рынке FPGA фирмы Xilinx. Пакет обеспечивает высокоуровневое представление проекта, абстрагированное от конкретной аппаратной платформы, которое автоматически компилируется в FPGA без потерь в производительности по сравнению с проектами, реализованными на языках более низкого уровня, таких как VHDL. System Generator является частью технологии XtremeDSP фирмы Xilinx, которая объединяет самые современные FPGA, средства разработки, IP-ядра, а также обеспечивается поддержкой центров разработки проектов и центров обучения Xilinx. Для работы пакета Xilinx System Generator for DSP необходимы пакеты MathLab + Simulink и ISE Foundation или ISE WebPack соответствующей версии. Основные функции:

- ◆ автоматическая генерация VHDL/Verilog файлов из Simulink и функций, написанных в MathLab;
- ◆ аппаратная отладка с использованием интерфейсов 10/100/1000 Ethernet, PCI, Cardbus и JTAG между Simulink и платой;
- ◆ интерфейс к ISE и к ModelSim;

- ◆ реализация и отладка высокопроизводительных систем цифровой обработки сигналов в Simulink с использованием оптимизированных Xilinx блоков, реализующих, например, такие функции, как БПФ, КИХ-фильтр, декодер Виттерби, кодер/декодер Рида-Соломона, FIFO, ОЗУ, ПЗУ и т.д.;
- ◆ создание сопроцессорного блока цифровой обработки сигнала для микропроцессора MicroBlaze 32-bit RISC.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Норенков И.П.* Основы автоматизированного проектирования. – М.: Изд-во МГТУ им. Н.Э.Баумана, 2002.
2. *Латышев П.Н.* Каталог САПР. – М.: САЛОН-ПРЕСС, 2006.
3. <http://www.megratec.ru>; <http://www.mentor.com>
4. <http://www.xilinx.com>; <http://www.plis.ru>
5. <http://www.eltm.ru>; <http://www.aldec.com>
6. <http://www.eltm.ru>; <http://www.altium.com>

УДК 621.03

**В.А. Литвиненко, С.А. Ховансков, О.В. Рябов, В.А. Платонов****РАЗРАБОТКА МОДУЛЯ РАЗМЕЩЕНИЯ  
УЧЕБНО-ИССЛЕДОВАТЕЛЬСКОЙ САПР НА БАЗЕ САПР KICAD\***

**Введение.** Эффективная подготовка специалистов в области автоматизированного конструирования ЭВА требует использования в учебном процессе учебно-исследовательских САПР на базе промышленных САПР с открытыми программным, математическим и другими видами обеспечений, так называемых, открытых САПР. Открытость программного обеспечения – это, прежде всего, открытость исходных текстов, форматов входных и выходных данных проектных процедур. Работа с открытой САПР позволяет познакомиться со структурой программного обеспечения, исходным кодом программных модулей, организацией взаимодействия программных модулей различных проектных процедур, структурой и организацией файлов и т.д. Кроме того, использование форматов входных и выходных данных отдельных проектных процедур открытых промышленных САПР позволяет исследовать в учебных и научных целях различные методы и алгоритмы проектных процедур и операций и при этом использовать все возможности открытой промышленной САПР – от использования редактора схем, до объемного моделирования печатной платы. Таким требованиям отвечает промышленная САПР KiCad [1, 2].

**САПР KiCad.** Knowledge Infrastructure for Collaborative Product Development (KiCad) – это кросс-платформенный, распространяемый по лицензии GPL программный комплекс класса EDA с открытыми исходными текстами, предназначенный для разработки электрических схем, печатных плат, гибридных интегральных схем, микросборок и других подобных конструктивов. Распространение САПР KiCad по лицензии GPL позволяет свободно ее модифицировать, распространять и использовать. При этом KiCad поддерживаются операционные системы Linux,

\* Работа выполнена при поддержке: РФФИ (гранты № 06-01-00272), РНП 2.1.2.3193, РНП 2.1.2.2238, г/б № Т.12.8.08.