

УДК 681.03

А.А. Лежебоков

**ОБ ОДНОМ МЕТОДЕ РАСЧЕТА ОЦЕНКИ ВРЕМЕННОЙ ЗАДЕРЖКИ ЦЕПИ\***

**Введение.** Одним из важнейших этапов конструкторского проектирования является задача размещения элементов на коммутационном поле. Задача размещения заключается в определении для каждого элемента каждого блока конкретного места на поле кристалла. Именно размещение во многом определяет качество последующей трассировки.

Анализ последних научных публикаций позволяет сделать вывод о том, что в современном процессе автоматизированного проектирования интегральных схем вследствие увеличения степени интеграции решающую роль играет учет параметров межсоединений, например, таких как электрические временные задержки. В настоящее время существует много алгоритмов посттопологической оптимизации цифровых схем, которые или пренебрегают задержками межсоединений, или же используют слишком грубые значения временных параметров, в результате чего увеличивается погрешность в расчетах временных моментов переключений схемы.

Задача размещения относится к классу NP-полных задач. На данном этапе развития вычислительной техники эта проблема трудно разрешима, а при использовании такого критерия как временные характеристики схемы, задача ещё более усложняется за счёт наличия некоторых ограничений [1]:

- ◆ Точный анализ временных задержек на этапе размещения элементов схемы является сложным и не гарантирует точного результата.
- ◆ Недостаток тестовых примеров для оценки качества решения, полученного в результате выполнения разрабатываемых алгоритмов.
- ◆ Реальные топологические параметры схемы, оказывая немалое влияние на временные характеристики схемы, охраняются коммерческой тайной производителя.

Главной проблемой при моделировании временных задержек является точность модели. В данной статье рассматривается новый подход к решению задачи размещения элементов СБИС с учетом временных задержек, который заключается в построении достаточно точной модели цепи для оценки временной задержки и применении методов генетического поиска и принципов параллелизма при разработке алгоритма решения поставленной задачи

**Анализ проблемы и выбор модели временной задержки.** Одним из путей решения отмеченной проблемы является разработка алгоритмов размещения, минимизирующих длину межсоединений с учетом заранее заданных ограничений на временные характеристики схемы [2]. Одновременно с длиной необходимо учитывать и сопротивления межсоединений. В данном подходе необходим учет реальных топологических параметров схемы.

Другим путем решения проблемы минимизации задержки является учет размеров логических элементов. Если известна емкостная нагрузка межсоединения, то размеры ведущего логического элемента могут быть оптимизированы с целью минимизации задержки. Для большой нагрузки используется каскад элементов. Зада-

---

\* Работа выполнена при поддержке РФФИ (грант № 07-01-00174).

ча выбора размеров элементов состоит в определении каскада элементов и размеров каждого элемента.

В общем случае может быть использован также метод, основанный на оценке и задании размеров транзисторов с целью определения оптимальных размеров каждого транзистора для оптимизации характеристик общей схемы.

Другим эффективным способом уменьшения задержек межсоединений являются метод введения буферов [3], а также метод оценки и задания размеров соединений. Известно несколько подходов последнего метода, но все они оптимизируют размеры отдельного соединения, в результате чего емкостью связи между соседними линиями пренебрегается. В [4] предложен алгоритм, в котором этот недостаток исправлен.

Более эффективным подходом считается объединенная оптимизация элементов и межсоединений. Такой метод представлен в работе [5], в котором целевая функция состоит в минимизации суммарной задержки.

Выбор вышеуказанных оптимизационных алгоритмов обусловлен их применением в программных системах для физического проектирования и логического синтеза. Лучший результат показывает метод, который представляет собой совокупность нескольких алгоритмов оптимизации. Но даже при этом методе улучшение задержки межсоединений незначительно. Поэтому становится ясно, что нужны новые подходы для решения проблем с задержками межсоединений. Следовательно, актуальными задачами являются:

- ◆ Построение новых более точных модели цепей для оценки временных задержек.
- ◆ Разработка новых алгоритмов, позволяющих находить оптимальное решение за приемлемое время.

**Модель Эльмора.** В настоящее время известны разные подходы к решению задачи размещения с учётом временных характеристик, не уделяющие внимания точности используемой модели временной задержки. Например, в модели Эльмора [6] формула задержки имеет вид:

$$d_i(W, L_{oi}) = (cW + \sum_j C_{ij})(R_0 + rL_{oi}), \quad (1)$$

где  $W$  – суммарная длина проводников дерева Штейнера,  $L_{oi}$  – длина пути от истока к стоку,  $c$  и  $r$  – соответственно ёмкость и сопротивление,  $R_0$  – эквивалентное временное сопротивление истока,  $\sum_j C_{ij}$  – сумма ёмкостей нагрузки.

В некоторых случаях длина цепи определяется как полупериметр описывающего прямоугольника, проходящего через контакты цепи, тогда задержка цепи от контакта истока к контакту стоку определяется по формуле:

$$d_i(l_1, l_2) = (c_1l_1 + c_2l_2 + \sum_j C_{ij})(R_0 + r_1l_1 + r_2l_2), \quad (2)$$

где  $l_1$  и  $l_2$  – ширина и высота ограничивающего прямоугольника цепи;  $c_1$  и  $c_2$  – ёмкости слоёв на единицу длины;  $r_1$  и  $r_2$  – сопротивления слоёв (данная модель подразумевает, что последующая трассировка будет производиться в 2-х слоях).

**Модель цепи на основе звездного графа.** Модель Эльмора является довольно грубой, поэтому потребовалось разработать более точную модель цепи для расчёта временной задержки.

Размещение элементов на дискретном рабочем поле (ДРП) осуществляется в стандартные ячейки (standard cells), то для определения расстояний между элементами предлагается использовать Манхэттенскую метрику (метрика, используемая

для «решеток»). Для построения модели цепи в указанной метрике предлагается использовать пошаговую процедуру. Рассмотрим её на примере:

1. Допустим, на некотором этапе решения задачи получили некоторое размещение 4-х элементов, соединенных цепью, в узлы сетки дискретного рабочего поля (рис. 1).
2. Строится модель цепи на основе звездного графа, координаты центра вычисляются как среднее арифметическое координат всех элементов цепи.
3. Так как координаты точки центра могут не совпадать с координатами ячеек ДРП, то точка центра перемещается в ближайшую ячейку ДРП.
4. Через эту точку проводится «столб», для построения дерева Штейнера.
5. Каждый элемент цепи связывается со «столбом Штейнера».
6. Имеем модель цепи на основе звездного графа в Манхэттенской метрике (рис. 3).

На рис. 1 представлен пример размещения элементов цепи на ДРП.

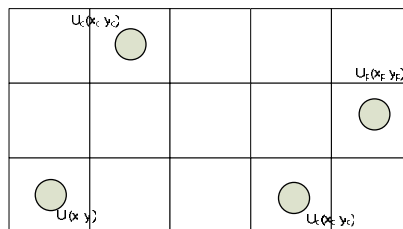


Рис. 1. Пример размещения элементов, соединенных одной цепью, на ДРП

На рис. 2 представлен пример модели цепи, состоящей из 4-х элементов, на основе звездного графа.

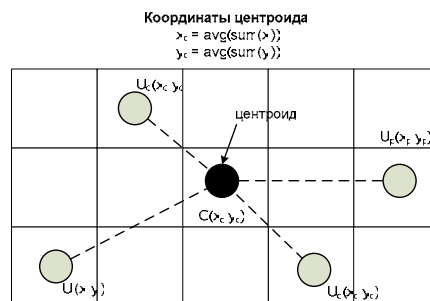


Рис. 2. Модель цепи в виде звездного графа

Длина цепи  $n_j$  в такой модели определяется по формуле:

$$L(n_j) = \sum_{i \in n_j} |x_i - x_c| + |y_i - y_c|, \quad (3)$$

где  $x_i, y_i$  – координаты контакта  $u_i$ ,  $x_c, y_c$  – координаты средней точки контактов  $n_j$ , которые являются средними значениями координат  $x$  и  $y$  всех контактов.

На рис. 3 показан пример как вычислить задержку между контактами  $u_i$  и  $u_d$  в сети с количеством контактов  $k$ . Мы фактически не трассируем схему, а получаем значение задержки примерно как у трассированной цепи.

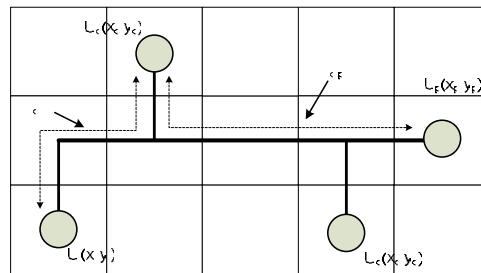


Рис. 3. Модель цепи в Манхэттенской метрике для оценки временной задержки между контактами цепи

Положим, что:

- ◆  $R_d$  – ведущее сопротивление («driver resistance»);
- ◆  $C_g$  – ёмкость нагрузки, состоящая из емкостей затворов транзисторов на концах цепи;
- ◆  $r$  – сопротивление модуля на единицу длины,
- ◆  $c$  – ёмкость модуля на единицу длины,
- ◆  $l_{d,i}$  – длина соединения между контактами  $u_i$  и  $u_d$ .

Временная задержка вычисляется в два этапа:

1.  $D_1(u_i, n_j) = Rd(c * L(n_j) + (k - 1)C_g)$ , задержка начального сопротивления заряда цепи нагрузки и всех контактов этой цепи;
2.  $D_2(u_i, n_j) = rc * l_{d,i}^2 + r * l_{d,i} C_g$ , внутренняя задержка пути от  $u_i$  до  $u_d$  за счет внутренней емкости и внутреннего сопротивления. Вычисляется для каждой пары элементов цепи;

Заключительная задержка – сумма рассмотренных выше двух частей ( $D=D_1+D_2$ ).

Для определения точности этой модели временных задержек нетрассированных схем, мы применим её на четыре эталонных теста с известными задержками критического пути после трассировки [7]. В табл. 1 представлен результат сравнения представленной модели временной задержки на этапе размещения с результатами задержки после трассировки.

Таблица 1

**Оценка точности разработанной модели**

Название схемы	Mac32	Matrix	Vp2	Mac64
Задержка представленной модели без трассировки	4.0	5.1	6.2	8.2
Задержка эталона после трассировки	3.4	3.8	4.3	6.7

Из таблицы (см. табл. 1) можно сделать вывод о том, что задержка представленной модели на 15-25% больше задержки схемы после трассировки. Этот результат позволяет использовать предложенную модель для решения задачи размещения элементов СБИС с учётом временных задержек.

**Заключение.** Разработанная модель была реализована в программном комплексе для решения задачи размещения элементов СБИС для подсчёта целевой функции при выполнении оптимизационного алгоритма размещения на основе методов генетического поиска. Результаты экспериментальных исследований показывают высокую точность модели и эффективность реализованных на её основе алгоритмов.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Adya S.N., Yildiz M., Markov I.L., Villarrubia P.G., Parakh P.N., Madden P.H.* Benchmarking for large-scale placement and beyond. In Proceedings of the International Symposium on Physical Design. ACM, Monterey, 2003
2. *Shervani N.* Algorithms for VLSI physical design automation. – USA, Kluwer Academy Publisher, 1995. – p. 538.
3. *Ginneken L.P.* Buffer placement in distributed RC-tree networks for minimal Elmore delay // In Proc. IEEE Int. Symp. on Circuits and Systems. 1990. – p. 865-868.
4. *Cong J., He L., Koh C. and Pan Z.* Global interconnect sizing and spacing with consideration of coupling capacitance // In Proc. Int. Conf. on Computer Aided Design. 1997. – p. 570-573.
5. *Cong J., Koh C. and Leung K.* Simultaneous buffer and wire sizing for performance and power optimization // In Proc. Int. Symp. on Low Power Electronics and Design. Aug. 1996. – p. 271-276.
6. *Tetsushi Koide, Mitsuhiro Ono,* A New Performance Driven Placement Method with the Elmore Delay Model for Row Based VLSIs, 2003.
7. *Shantanu Dutt, Huan Ren, Fenghua Yuan and Vishal Suthar,* “A Network-Flow Approach to Timing-Driven Incremental Placement for ASICs, ICCAD 2006.

УДК 681.3

Е.Е. Курносова

**ОБ ОДНОМ ПОДХОДЕ К ПОСТРОЕНИЮ ИНТЕГРИРОВАННЫХ АЛГОРИТМОВ\***

**Введение.** В последние годы, реализовано множество алгоритмов, в основу которых положена модель эволюционного развития [1]. Исследователи экспериментировали с различными типами представлений, операторов кроссингвера и мутации, специальных операторов, и различных подходов к воспроизводству и отбору [2]. Результатом данных экспериментов является разработка новых интегрированных алгоритмов, которые с успехом применяются для решения широкого класса прикладных задач, включая те, которые трудно, а иногда и вовсе невозможно, решить другими методами [3, 4]. Поэтому в работе предлагается новая архитектура эволюционно-генетического поиска и на её основе интегрированный алгоритм, способный преодолевать локальные оптимумы при помощи двух различных процедур.

**Архитектура интегрированного алгоритма.** При решении конструкторских задач САПР интегрированные алгоритмы, по мнению автора, дают преимущественно новые по показателям эффективности и качества решения. Большинство реальных задач можно сформулировать как поиск оптимального решения, в качестве которого выступает сложная функция, зависящая от определенных входных параметров. Одно из главных преимуществ интегрированных алгоритмов заключается их способности манипулировать одновременно некоторым множеством этих параметров. Таким образом, альтернативные решения в интегрированных алгоритмах формируются на основе предварительного анализа множества входных параметров оптимизационной задачи проектирования. Немаловажными факторами, также оказывающими существенное влияние на качество решения, являются

---

\* Работа выполнена при поддержке РФФИ (грант № 07-01-00174, № 08-01-00473).