

УДК 681.5: 681.3(075.8)

**Н.И. Чернов, В.Я. Югай**

**ОСОБЕННОСТИ СИНТЕЗА ПОСЛЕДОВАТЕЛЬНОСТНЫХ ЦИФРОВЫХ СТРУКТУР В ЛИНЕЙНОЙ АЛГЕБРЕ**

*Предложен новый подход к синтезу элементной базы для цифровой техники, основанный на использовании в качестве базовых функциональных элементов генераторов тока. На их основе выполнен синтез логических элементов и элементов памяти, используемых для синтеза цифровых схем. Отмечены их улучшенные технические, технологические и эксплуатационные свойства. Предложенные схемотехнические решения обладают всеми достоинствами логических линейных элементов: большей в сравнении с булевыми элементами допустимой девиацией напряжения питания, стойкостью к температурным и другим воздействиям.*

*Логические элементы; цифровые структуры; генератор тока; линейный синтез.*

**N.I. Chernov V.Y Yugay**

**FEATURES OF SYNTHESIS OF SEQUENTIAL DIGITAL STRUCTURE IN LINEAR ALGEBRA**

*The new approach to synthesis of element base for the digital technics, based on use as base functional elements of generators of a current is offered. On their basis synthesis of logic elements and the elements of memory used for synthesis of digital schemes is executed. Their improved technical, technological and operational properties are noted. The proposed circuit solutions have all the advantages of linear logic elements: greater compared with the Boolean elements of permissible deviation of voltage, resistance to temperature and other factors*

*Logic elements, digital structures; the current generator; linear synthesis.*

Вопросы линейного логического синтеза цифровых структур обсуждаются уже достаточно давно [1–7]. Привлекательность этого подхода состоит в его логико-математических [8], схемотехнических и эксплуатационных [9] особенностях. В настоящей работе рассмотрены особенности логического и схемотехнического проектирования линейных триггерных схем в КМДП-схемотехнике.

Как отмечалось в упомянутых выше работах, достоинством линейного элементного базиса является его преемственность: он был реализован на основе использования в качестве исходного булевого представления схем базовых логических элементов. Однако его схемотехнические особенности придали этим реализациям новые логические, схемотехнические и эксплуатационные качества, позволяющие получать схемотехнические решения с улучшенными техническими характеристиками.

В булевом подходе логические функции отличаются от аналогичных функций элементов памяти тем, что в них в качестве переменных используются значения состояния памяти и входные-выходные сигналы со сдвигом во времени. Другими словами, описания временных зависимостей между сигналами реально существующих в физических схемах триггеров фиктивно приводятся к виду аналогичных зависимостей, существующих в комбинационных схемах.

Линейное пространство, как алгебраическая структура для описания логических зависимостей между входными переменными, в принципе не допускает неявного описания временных отношений между переменными, входящими в это описание. Иначе говоря, она предполагает для логического проектирования последовательностных схем наличие в составе элементного базиса элементов памяти наравне с логическими элементами. При кажущемся недостатке такого подхода в

нем есть рациональное зерно, суть которого состоит в представлении последовательностной схемы в виде некоторого объединения логических элементов и элементов памяти.

Можно возразить, что существующая теория логического синтеза последовательностных схем (аппаратная реализация автоматов) также основана на этом подходе. Однако это возражение не выдерживает критики, поскольку существующая теория автоматов достаточно далека по своему содержанию от теории логического синтеза схем без памяти, в то время как линейная алгебра, как будет показано далее, рассматривает логическое проектирование автоматов в рамках теории проектирования логических схем.

Предварительно отметим, что применение в составе операций алгебры арифметических операций предполагает соответствующее представление сигналов, подвергаемых действию этих операций. Одним из возможных представлений является токовое представление, при котором логической единице «1» соответствует наличие, а логическому нулю «0» – отсутствие кванта тока. Такое представление отличается от булева представления большим разнообразием: квант тока помимо его наличия либо отсутствия может быть вытекающим либо втекающим.

В состав структурного КМДП-базиса в качестве обязательных должны войти следующие элементы [5]:

- ◆ управляемый токовый ключ;
- ◆ задающий генератор тока с системой управляемых «токовых зеркал» для создания необходимого количества параллельно участвующих в реализации логической функции квантов вытекающих и втекающих токов;
- ◆ логический элемент И для формирования логических термов реализуемой логической функции;
- ◆ линейный аналоговый сумматор для алгебраического сложения квантов тока, соответствующих логическим термам реализуемой логической функции;
- ◆ элементы памяти для хранения логической информации;
- ◆ преобразователь квантов выходного тока линейной схемы в напряжения логических уровней (преобразователь «ток-напряжение»).

Поскольку перечисленные структурные элементы используются для синтеза элементов памяти, кратко рассмотрим их схемотехническую реализацию в КМДП-базисе.

Простейшая схемотехническая реализация управляемого *токового ключа* приведена на рис. 1.

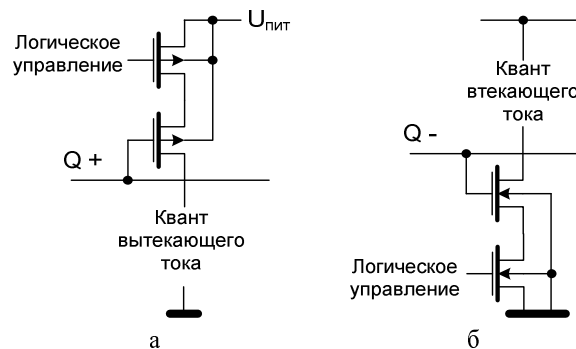


Рис. 1. Принципиальная схема токового ключа: а – вытекающего тока; б – втекающего тока

Ключ управляется логическим сигналом, при этом логической единице «1» соответствует наличие, а логическому нулю «0» – отсутствие кванта тока на выходе ключа. Величина кванта тока задается сигналом Q, она является общей для всех токовых ключей реализуемой логической схемы.

Схемотехническая реализация задающего КМДП-генератора тока не имеет особенностей по сравнению с ТТЛ-реализацией [2]. В нем могут быть использованы две реализации «токового зеркала»: с источником опорного тока на КМДП-транзисторе в «диодном» включении и с использованием дополнительного транзистора. Эти реализации приведены на рис. 2 и 3 соответственно. К каждому выходу Q схемы на рис. 2 можно подключить порядка десяти «токовых зеркал», а на рис. 3 – порядка ста.

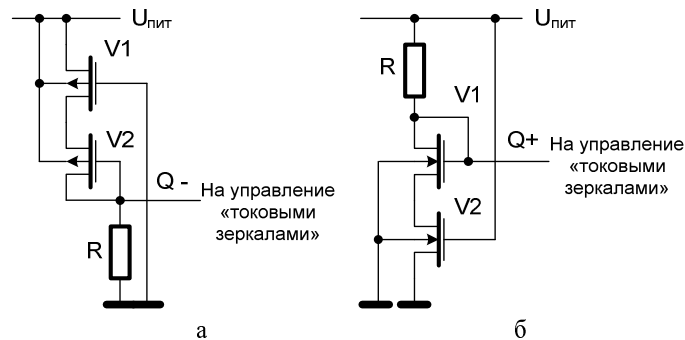


Рис. 2. Принципиальные схемы задающих генераторов тока с источником опорного тока на транзисторе в «диодном» включении: а – для втекающих токов; б – для вытекающих токов

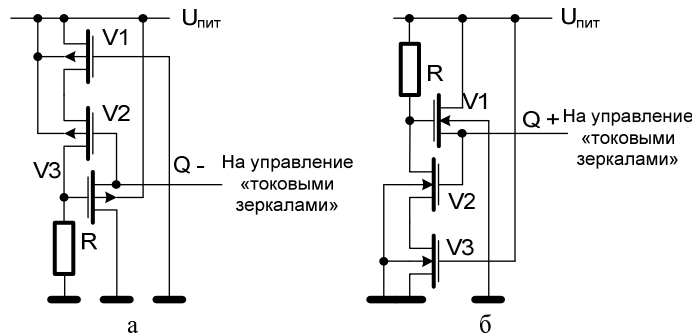


Рис. 3. Принципиальные схемы задающих генераторов тока с дополнительным транзистором: а – для втекающих токов; б – для вытекающих токов

Поскольку в линейном представлении реализуемой логической функции обязательно присутствуют как положительные (представляемые квантами вытекающего тока), так и отрицательные (представляемые квантами втекающего тока) слагаемые, то в принципиальной схеме реализации функции должны одновременно присутствовать «зеркала» как вытекающих, так и втекающих токов, между величинами которых должны быть установлены определенные соотношения. Например, для корректной реализации выражения

$$x_1 - x_2 = 0,$$

где  $x_1$  соответствует квант вытекающего тока  $I_{x1}$ , а  $x_2$  – квант втекающего тока  $I_{x2}$ , необходимо выполнение соотношения  $I_{x1} < I_{x2}$ .

Вероятно, наиболее оптимальным способом обеспечения подобных соотношений и сохранения их в широком диапазоне девиаций возмущающих факторов является формирование «токовых зеркал» втекающих и вытекающих токов друг из друга. Подобное решение этой задачи при использовании в качестве основного генераторов втекающего и втекающего токов приведено на рис. 4, а и б соответственно.

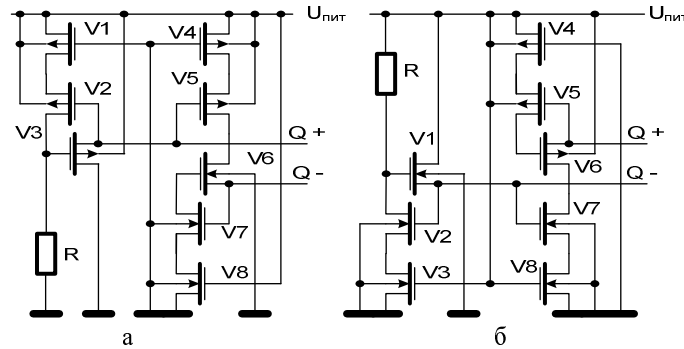


Рис. 4. Принципиальные схемы двунаправленных задающих генераторов токов с формированием: а – втекающего тока из вытекающего; б – вытекающего тока из втекающего

Необходимое соотношение между значениями втекающего и втекающего токов может быть задано соответствующим выбором площадей истоков транзисторов V3 и V6 (V1 и V5).

На рис. 5 приведены принципиальные схемы *токового инвертора*. Он реализует логическую функцию инверсии  $\bar{x} = 1 - x$  с токовым выходом вытекающего (а) или втекающего (б) тока.

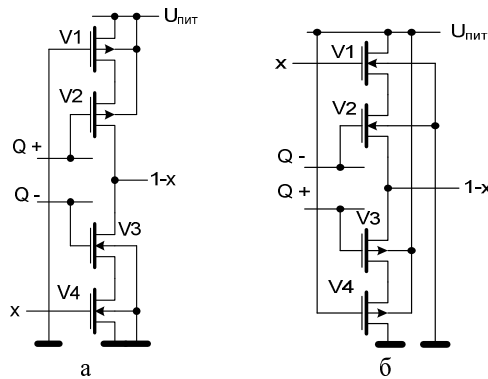


Рис. 5. Принципиальная схема логического инвертора: а – для вытекающего тока; б – втекающего тока

Теперь рассмотрим линейную реализацию элементов памяти. В булевой схемотехнике, как известно, элемент памяти представляет собой соответствующее объединение двух инверторов. Поступая аналогичным образом, получим линейную схемотехническую реализацию элемента памяти, показанную на рис. 6 (без цепей управления).

Он представляет собой объединение двух разнополярных инверторов и является фактически эквивалентной схемой тиристора. Этот факт является важным для организации цепей управления этим элементом памяти.

Как известно, перевод тиристора в проводящее состояние производится подачей положительного сигнала на его управляющий электрод, а вывод его из проводящего состояния – разрывом цепи тока. Этот режим может быть создан, как показано на рис. 7.

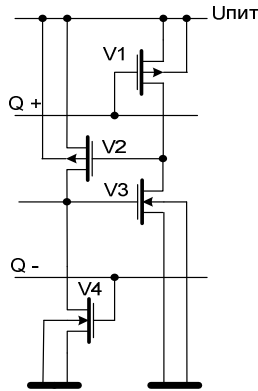


Рис. 6. Схематехническая реализация элемента памяти

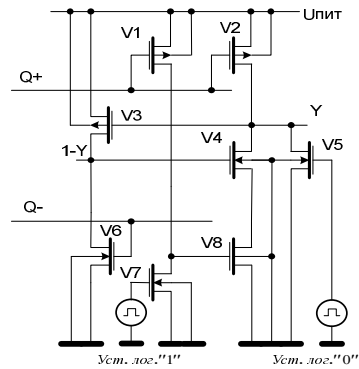


Рис. 7. Схематехническая реализация асинхронного триггера

Для организации синхронного режима работы необходимо включение цепей синхронизации последовательно с каждым из ключей управления входами, как показано на рис. 8. Здесь управление по входу установки логического нуля «0» производится по схеме И, а по входу установки логической единицы «1» – по схеме ИЛИ. Такое решение отличается некоторой сложностью. Более простое решение задачи синхронизации представлено на рис. 9.

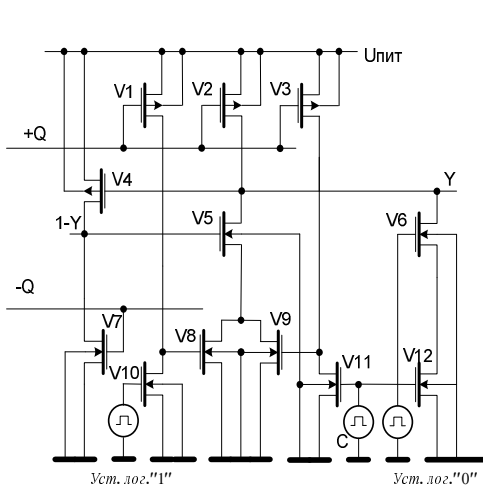


Рис. 8. Схематехническая реализация синхронного триггера

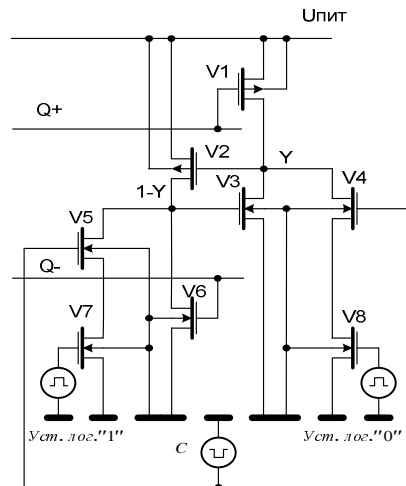


Рис. 9. Схематехническая реализация синхронного триггера

Предложенные схмотехнические решения обладают всеми достоинствами логических линейных элементов: большей в сравнении с булевыми элементами допустимой девиацией напряжения питания, стойкостью к температурным и другим воздействиям.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Чернов Н.И.* Основы логического синтеза цифровых структур над полем вещественных чисел. – Таганрог: Изд-во ТРТУ, 2000. – 146 с.
2. *Чернов Н.И.* Булево линейное пространство как алгебраическая структура для логического синтеза цифровых устройств // Известия ТРТУ. – 2003. – № 1 (30). – С. 73-76
3. *Чернов Н.И.* Структурный синтез цифровых устройств в булевых линейных пространствах // Известия ТРТУ. – 2003. – № 2. (31). – С. 215-220.
4. *Чернов Н.И.* Эффективность применения аппарата линейных пространств в логическом синтезе цифровых структур // Тр. международных научно-технических конференций «Интеллектуальные системы (IEEE AIS'05)» и «Интеллектуальные САПР (CAD-2005)». – 2005. – Т. 1. – С. 420-424.
5. *Чернов Н.И.* Логическое проектирование цифровых структур на управляемых генераторах тока // Известия ТРТУ. – 2005. – № 11 (55). – С. 78-85.
6. *Чернов Н.И.* Логический синтез цифровых структур в линейных алгебрах // Матер. V Международного научно-практического семинара «Проблемы современной аналоговой микросхемотехники». – Шахты, 2006. – С. 27-36.
7. *Назаров С.П., Чернов Н.И.* Математический аппарат логического проектирования цифровых структур на основе линейной алгебры // Матер. VI Международного научно-практического семинара «Проблемы современной аналоговой микросхемотехники». Ч. 2. – Шахты, 2007. – С. 4-14.
8. *Чернов Н.И.* Линейная алгебра – альтернативный математический аппарат логического синтеза цифровых структур // Известия ЮФУ. Технические науки. – 2008. – № 7 (84). – С. 13-19.
9. *Чернов Н.И.* Методы логического синтеза цифровых структур в линейной алгебре // Известия ЮФУ. Технические науки. – 2008. – № 7 (84). – С. 19-25.
10. *Баранов С.И.* Синтез микропрограммных автоматов. – Л.: Энергия, 1974. – 216 с.

Статью рекомендовал к опубликованию д.т.н., профессор Я.Е. Ромм.

**Чернов Николай Иванович**

Технологический институт федерального государственного автономного образовательного учреждения высшего профессионального образования «Южный федеральный университет» в г. Таганроге.

E-mail: chernovni@tti.sfedu.ru.

347928, г. Таганрог, пер. Некрасовский, 44.

Тел.: 88634371773.

Кафедра систем автоматического управления; профессор.

**Югай Владислав Яковлевич**

Кафедра систем автоматического управления; доцент.

**Chernov Nikolai Ivanovich**

Taganrog Institute of Technology – Federal State-Owned Autonomy Educational Establishment of Higher Vocational Education “Southern Federal University”.

E-mail: chernovni@tti.sfedu.ru.

44, Nekrasovskiy, Taganrog, 347928, Russia.

Phone: +78634371773.

The Department of Automatic Control Systems; Professor.

**Yugay Vladislav Yakovlevich**

The Department of Automatic Control Systems; Associate Professor.