

**Малюков Сергей Павлович**

Технологический институт федерального государственного автономного образовательного учреждения высшего профессионального образования «Южный федеральный университет» в г. Таганроге.

E-mail: malyukov@fep.tti.sfedu.ru.

347922, г. Таганрог, ул. Шевченко, 2.

Тел.: 88634371603.

Кафедра конструирования электронных средств; д.т.н.; профессор; член-корреспондент РАЕН; заведующий кафедрой.

**Куликова Ирина Владимировна**

E-mail: cuttlefish99@mail.ru.

Кафедра конструирования электронных средств; к.т.н.; доцент.

**Калашников Глеб Валерьевич**

E-mail: gleb@fep.tti.sfedu.ru

Кафедра конструирования электронных средств; инженер 2-й категории.

**Malyukov Sergey Pavlovich**

Taganrog Institute of Technology – Federal State-Owned Autonomy Educational Establishment of Higher Vocational Education “Southern Federal University”

E-mail: malyukov@fep.tti.sfedu.ru.

2, Shevchenko Street, Taganrog, 347900, Russia.

Phone: +78634371603.

The Department of Electronic Apparatuses Design; Dr. of Eng. Sc.; Professor; Corresponding Member RANS; Head the Department.

**Kulikova Irene Vladimirovna**

E-mail: cuttlefish99@mail.ru

The Department of Electronic Apparatuses Design; Cand. of Eng. Sc.; Associate professor.

**Kalashnikov Gleb Valerievich**

E-mail: gleb@fep.tti.sfedu.ru.

The Department of Electronic Apparatuses Design; Post-graduate Student.

УДК 621.3.049.771.14

**С.В. Гаврилов, О.Н. Гудкова, А.Н. Щелоков**

**АНАЛИЗ ДЕГРАДАЦИИ ПАРАМЕТРОВ ТРАНЗИСТОРОВ ВО ВРЕМЕНИ  
НА ЛОГИЧЕСКОМ УРОВНЕ\***

*С переходом на техпроцессы с проектной нормой 130 нм и ниже на деградацию временных параметров транзисторов доминирующее влияние оказывает эффект температурной нестабильности при отрицательном смещении (NBТИ). Данная статья посвящена исследованию влияния NBТИ-эффекта на характеристики цифровых КМОП-схем на логическом уровне. В работе предложена параметрическая модель для анализа деградации порогового напряжения транзистора во времени вследствие NBТИ-эффекта, учитывающая влияние переходных процессов. Для корректного вычисления вероятности напряженного состояния р-транзисторов в КМОП венти́ле предложен алгоритм, учитывающий корреляций сигналов и анализирующий стрессовые пути.*

*Анализ надежности; эффекты деградации; температурная нестабильность при отрицательном смещении; NBТИ-эффект; пороговое напряжение; статический временной анализ.*

\* Работа выполнена при поддержке РФФИ (проект № 11-07-00211-а).

S.V. Gavrilov, O.N. Gudkova, A.N. Schelokov

**LOGIC LEVEL AGING AWARE ANALYSIS OF TRANSISTOR PARAMETERS DEGRADATION**

*Negative bias temperature instability effect exerts dominant influence on transistor timing parameter degradation for nanoscale technologies.*

*This paper considers research of NBTI impact on CMOS digital IC on logic level. In this paper we propose the logic level parametric model for analysis of transistor threshold voltage degradation due to NBTI. The model accounts for threshold voltage degradation during switching. For accurate calculation transition stress probability in CMOS gate algorithm accounting for signal correlations and analyzing stress paths is proposed.*

*Reliability analysis; degradation effects; negative-bias temperature instability; NBTI; threshold voltage; static timing analysis.*

**Введение.** Стремительный прогресс в развитии нанотехнологий и уменьшение геометрических размеров транзисторов привели к тому, что работоспособность и характеристики интегральных схем (ИС) становятся все менее прогнозируемыми. Проблема повышения надежности схемы становится актуальнее с каждой новой технологией. Причиной этого является появление новых факторов, влияющих на срок службы и функционирование интегральных схем, а также недостаточный анализ влияния этих эффектов на параметры транзисторов в процессе проектирования ИС.

С переходом на производство ИС с глубоко субмикронной нормой основным фактором, ограничивающим срок службы схем, стал эффект температурной нестабильности при отрицательном смещении – NBTI. NBTI является одним из основных механизмов деградации схем и влияет на р-канальные МОП-транзисторы, приводя к деградации порогового напряжения до 50 мВ за 10-летний срок службы. Это в свою очередь, может приводить к увеличению задержки схемы более чем на 20 %, а в некоторых исключительных случаях даже к нарушению логики функционирования схемы [1–3]. Для того чтобы по возможности точно спрогнозировать реальную работоспособность будущего кристалла СБИС необходимо на ранних стадиях проектирования учитывать влияние эффектов деградации на характеристики схемы.

За последнее десятилетие проблемы деградации КМОП-схем при воздействии NBTI-эффекта были подробно рассмотрены во множестве работ, представленных на международных конференциях. Однако большинство этих работ касается вопросов построения моделей деградации порогового напряжения и их использования для моделирования схем только на электрическом уровне [4–6].

Данная статья посвящена исследованию влияния NBTI-эффекта на характеристики цифровых КМОП-схем на логическом уровне. В работе предложена модель логического уровня для анализа деградации порогового напряжения вследствие влияния NBTI-эффекта, а также алгоритм корректного вычисления вероятности напряженного состояния для каждого р-транзистора в сложном КМОП венти́ле с учетом корреляций сигналов и анализом стрессовых путей.

**1. Анализ длительности стрессовых состояний транзисторов.** NBTI-эффект влияет только на р-транзисторы, находящиеся в проводящем состоянии. Транзистор подвержен стрессу, когда на его затвор подано обратное смещение, т.е. логический ноль [7–8]. Корректный расчет длительности логического нуля на затворе и её распространение являются необходимыми условиями для правильного вычисления деградации порогового напряжения. Для решения данной проблемы предлагается использовать аппарат расчета вероятностей логических состояний в узлах схемы. Значения вероятностей логического нуля рассчитываются для всех узлов схемы, начи-

ная от первичных входов и далее последовательно до выходов. Для повышения точности расчета длительности стрессовых состояний аппарат расчета вероятностей необходимо модифицировать, чтобы учесть корреляции между сигналами. Корреляции между сигналами рассчитываются в той же последовательности. После того, как для каждой пары входов вентиля найдены соответственно вероятности логического нуля и парные корреляции, для каждого р-транзистора в КМОП вентилю вычисляется вероятность стрессового состояния  $P_{stress}$ .

Предположим, что каждый сигнал  $a$  в комбинационной схеме (либо первичный вход, либо выход любого вентиля) характеризуется с помощью величины  $p(a=v)$ , равной отношению времени нахождения сигнала в состоянии  $(a=v)$  к общему времени моделирования. В статистическом анализе  $p(a=0)$  обычно называют вероятностью нуля,  $p(a=1)$  – вероятностью единицы. Для описания корреляции между двумя сигналами  $a$  и  $b$  используется коэффициент корреляции сигналов (SC), определяемый по формуле [9–10]:

$$SC_{ij}^{ab} = \frac{p(a = i \& b = j)}{p(a = i)p(b = j)},$$

где  $i, j = 0, 1$ .

Для устранения экспоненциальной сложности алгоритма распространения корреляций можно воспользоваться предположением о том, что только парные корреляции существенны. В этом случае вероятность сложного совместного события может быть приближенно вычислена по формуле:

$$p\left(\prod_{k=1}^n (a_k = i_k)\right) = \prod_{k=1}^n p(a_k = i_k) \prod_{1 \leq k < l \leq n} SC_{i_k i_l}^{a_k a_l}.$$

Используя это выражение и пренебрегая корреляциями более высоких порядков, получаем следующую формулу для расчета времени нахождения транзистора в стрессовом состоянии:

$$p(y = 0) = \sum_{I \in V_0} \prod_{k=1}^n (p(x_k = i_k) \prod_{k < l \leq n} SC_{i_k i_l}^{x_k x_l}),$$

где суммирование ведется по всем наборам входных сигналов  $I \in V_0$ , для которых значение выхода равно нулю.

Поскольку

$$p(a = i \& b = j) = p(a = i / b = j)p(b = j) = p(b = j / a = i)p(a = i),$$

где  $p(X/Y)$  обозначает вероятность события  $X$  при условии  $Y$ , то

$$SC_{ij}^{ab} = \frac{p(a = i / b = j)}{p(a = i)} = \frac{p(b = j / a = i)}{p(b = j)}.$$

Следовательно, мы имеем следующие соотношения для четырех коэффициентов  $SC_{ab}$ :

$$\begin{aligned} \sum_{i=0,1} SC_{ij}^{ab} p(a = i) &= 1 \quad j=0,1; \\ \sum_{j=0,1} SC_{ij}^{ab} p(b = j) &= 1 \quad i=0,1. \end{aligned} \quad (1)$$

Матрица системы (1) имеет ранг 3, поэтому если мы знаем  $SC_{00}^{ab}$ , мы можем вычислить три других коэффициента по формулам:

$$SC_{01}^{ab} = \frac{1 - SC_{00}^{ab} p_b}{1 - p_b};$$

$$SC_{10}^{ab} = \frac{1 - SC_{00}^{ab} p_a}{1 - p_a};$$

$$SC_{11}^{ab} = \frac{1 - SC_{10}^{ab} p_b}{1 - p_b}.$$

Для корректной обработки каждого вентиля также необходимо распространять по схеме коэффициенты корреляции SC:

$$SC_{00}^{zy} = \frac{\sum_{I \in V} \prod_{k=1}^n (p(x_k = i_k) SC_{0i_k}^{zx_k} \prod_{k < l \leq n} SC_{i_k i_l}^{x_k x_l})}{p(y = 0)}.$$

Отметим, что описанные вычисления можно сделать более эффективными, используя BDD-представление для КМОП вентилях (рис. 1,б).

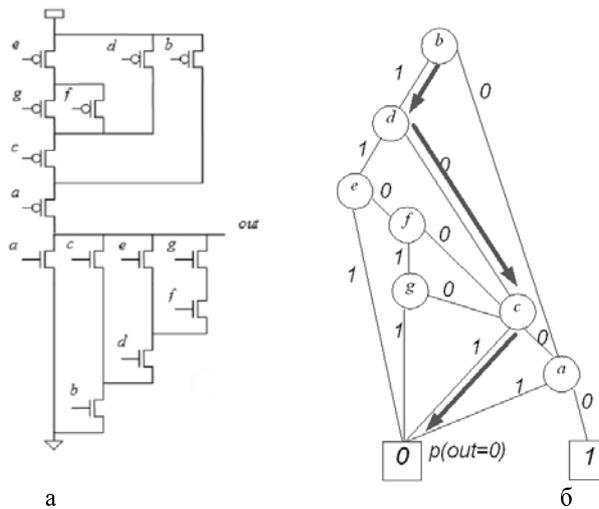


Рис. 1. КМОП вентиль (а) и его представление в виде BDD (б)

BDD является эффективной моделью для анализа комбинаций входных переменных, обеспечивающих нулевое состояние на выходе. Для пути, показанного на рис. 1, может быть получено следующее выражение вероятности нуля на выходе вентиля:

$$p(out = 0) = p(b = 1) \cdot p(d = 0) \cdot p(c = 1) \cdot SC_{10}^{bd} \cdot SC_{11}^{bc} \cdot SC_{01}^{dc} + \dots$$

Далее может быть вычислена вероятность стрессового состояния ( $P_{stress}$ ) для каждого р-транзистора в вентиле. Чтобы транзистор находился в стрессовом состоянии, необходимо чтобы он был открыт и существовал хотя бы один проводя-

ший путь от цепи питания к стоку или истоку. Необходимо анализировать все пути к транзистору от потенциала питания, в том числе и через «нижний» узел – для этого необходим анализ структуры вентиля на транзисторном уровне.

Для пояснения проблемы рассмотрим р-транзистор  $f$  (см. рис. 1). Предположим, что корреляции между входными сигналами вентиля отсутствуют. Простейшая версия алгоритма полагает, что если транзистор  $e$  не проводит, то  $f$  не находится в напряженном состоянии. Но в действительности напряженное состояние  $f$  может быть также следствием проводящего состояния либо транзистора  $d$ , либо транзисторов  $b$  и  $c$ .

Упрощенная версия алгоритма дает следующее соотношение:

$$P_{stress}(f) = p(e = 0) \cdot p(f = 0).$$

Однако точная формула должна учитывать все стрессовые пути и  $P_{stress}$  вычисляется на основе отрицания события, что ни один путь не проводит:

$$P_{stress}(f) = (1 - (1 - p(e = 0)) \cdot (1 - p(d = 0)) \cdot (1 - p(b = 0) \cdot p(c = 0))) \cdot p(f = 0).$$

Любая pull-up цепочка может быть сведена методом Y-Δ преобразования к SP-графу, в котором листовыми вершинами являются транзисторы, а каждая нелистовая вершина означает последовательное (\*) или параллельное (+) соединение. Для нахождения всех проводящих путей от потенциала питания к транзистору в статье предлагается использовать представление КМОП вентиля в форме SP-дерева (рис. 2).

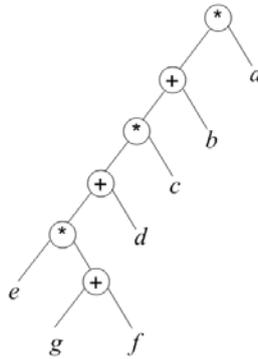


Рис. 2. Представление в форме SP-дерева вентиля, представленного на рис. 1

Вероятность напряженного состояния вычисляется для каждого транзистора верхней цепи вентиля, на основе его списка напрягающих путей. Пусть символы типа  $a, b, c, \dots$  используются для обозначения, как транзисторов, так и событий нахождения этих транзисторов в проводящем состоянии. Рассмотрим следующее сложное событие:  $a \& b \& c$ . Если мы учитываем только парные корреляции, то мы можем использовать следующую аппроксимацию для сложного события:

$$p(a \& b \& c) = (p(a|b)p(b|c)p(c|a)) = \frac{p(a \& b)p(b \& c)p(c \& a)}{p(a)p(b)p(c)} = p(a)p(b)p(c)SC^{ab}SC^{bc}SC^{ac},$$

где  $p(a|b)$  – вероятность  $a$  при условии  $b$ ,  $SC^{ab} = SC_{00}^{ab}$  – коэффициент корреляции.

Рассмотрим более общую ситуацию:  $t$  – путь в верхней цепи КМОП вентиля. Вероятность проводящего состояния  $t$ :

$$p(t) = p\left(\prod_{k=1}^n a_k\right) = \prod_{k=1}^n p(a_k) \prod_{1 \leq k < l \leq n} SC^{a_k a_l}.$$

Пусть теперь  $T = \{t_i, i=1, \dots, m\}$  список напрягающих путей для транзистора  $x$ ,  $t_i = (a_{i1}, \dots, a_{in_i})$  – путь,  $M = \{1, \dots, m\}$  – множество индексов. Вероятность напряженного состояния для транзистора  $x$

$$P_{stress}(x) = p(T) = 1 - p\left(\prod_{i=1}^m \bar{t}_i\right) \approx \sum_{i \in M} p(t_i) - \sum_{\substack{i, j \in M \\ i < j}} p(t_i)p(t_j) SC^{t_i t_j},$$

где

$$p(t_i) = \prod_{k=1}^{n_i} p(a_{ik}) \prod_{1 \leq k < l \leq n_i} SC^{a_{ik} a_{il}};$$

$$SC^{t_i t_j} = \prod_{\substack{1 \leq k \leq n_i \\ 1 \leq l \leq n_j}} SC^{a_{ik} a_{jl}}.$$

Решение проблем вычисления длительности нуля на затворе и поиска всех стрессовых путей делает алгоритм вычисления  $P_{stress}$  значительно более точным. Численные эксперименты показывают, что предложенный метод для расчета длительности стрессового состояния транзисторов обеспечивает уменьшение ошибки в расчете времени нахождения в стрессовом состоянии до 3-х раз по сравнению с известными методами, за счет учета парных корреляций и детального анализа стрессовых путей.

**2. Параметрическая модель для анализа эффектов деградации порогового напряжения транзистора.** Результаты численных экспериментов показывают, что деградация порогового напряжения в результате NBTI в первом приближении экспоненциально зависит от времени, в течение которого транзистор находится в состоянии «стресса»:  $\Delta V_{th} \sim (pt)^\alpha$ . В реальности деградация зависит от формы входного сигнала. Различные входные сигналы могут определяться не только абсолютным нулем на затворе транзистора, но и длительностью входных фронтов.

На сегодняшний день существующие модели деградации порогового напряжения логического уровня пренебрегают влиянием NBTI-эффекта на фронтах [8]. С переходом на нанометровые технологии для более полной оценки сдвига порогового напряжения за счет NBTI необходимо использовать модели, учитывающие влияние NBTI-эффекта на стадии переключения. Известны формульные соотношения для оценки деградации порогового напряжения при анализе на транзисторном уровне [11]:

$$\Delta V_{th} = K \cdot (Damage)^n,$$

где  $n$  – параметр, зависящий от технологии. Параметр  $Damage$ , определяющий деградацию порогового напряжения, при схемотехническом моделировании вычисляется как интеграл:

$$Damage = \int_{V_{gs} \geq V_{ds}} K_1 \cdot (abs(V_{gs}(t)))^m dt,$$

где  $V_{gs}(t)$  – напряжение затвор-исток,  $V_{ds}(t)$  – напряжение сток-исток;  $K, K_1, m$  – коэффициенты, зависящие от технологии. Данный интеграл рассчитывается

ваеся в течение времени, когда выполняется условие:  $V_{gs} \geq V_{ds}$ . Существует два различных участка «стресса» (рис. 3): (а) когда рМОП управляется постоянным входном напряжением –  $V_{gs}^0$  и (б) во время выходных переключений, когда выполняется условие  $V_{gs} \geq V_{ds}$ . Для точного расчета деградации  $V_{th}$  важно учесть обе составляющие (а) и (б).

Однако на логическом уровне не известны точные формы сигналов, известны лишь значения входных/выходных фронтов и задержек. Для решения проблемы расчета деградации порогового напряжения предлагается фронты сигнала принять линейными, что обеспечивает возможность аналитического интегрирования.

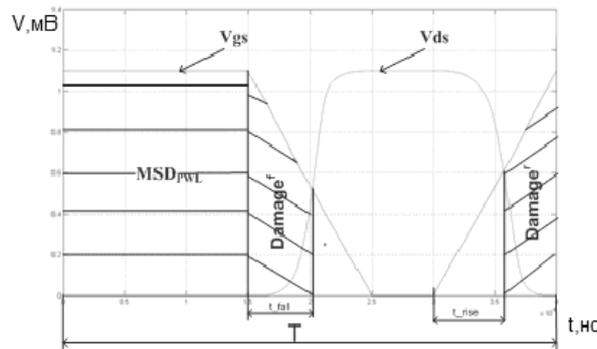


Рис. 3. Входной ( $V_{gs}$ ) / Выходной ( $V_{ds}$ ) сигналы инвертора и области влияния эффектов деградации

Рассмотрим переключение 0→1 на затворе рМОП транзистора (рис. 4).

$S_{inp}^r$  – полный входной фронт (переключение  $r\_f$ )

$S_{out}^f$  – полный выходной фронт (переключение  $r\_f$ )

$delay^f$  – задержка переключения (измеренная на уровне  $0.5 \cdot v_{dd}$ ).

$$t_1 = \frac{S_{inp}^r}{2} + delay^f - \frac{S_{out}^f}{2}; t_2 = \frac{S_{inp}^r}{2}; t_3 = \frac{S_{out}^f}{2}; \frac{x}{z} = \frac{S_{inp}^r}{S_{out}^f};$$

$$x + z = \frac{S_{inp}^r}{2} + \frac{S_{out}^f}{2} - delay^f$$

$$x = \frac{S_{inp}^r}{2} \cdot \frac{(S_{inp}^r + 2 \cdot delay^f + S_{out}^f)}{(S_{inp}^r + S_{out}^f)};$$

$$z = \frac{S_{out}^f}{2} \cdot \frac{(S_{inp}^r + 2 \cdot delay^f + S_{out}^f)}{(S_{inp}^r + S_{out}^f)}$$

$$t_{fall} = \frac{S_{inp}^r}{2} + delay^f - \frac{S_{out}^f}{2} + \frac{S_{out}^f}{2} \cdot \frac{(S_{inp}^r + 2 \cdot delay^f + S_{out}^f)}{(S_{inp}^r + S_{out}^f)}$$

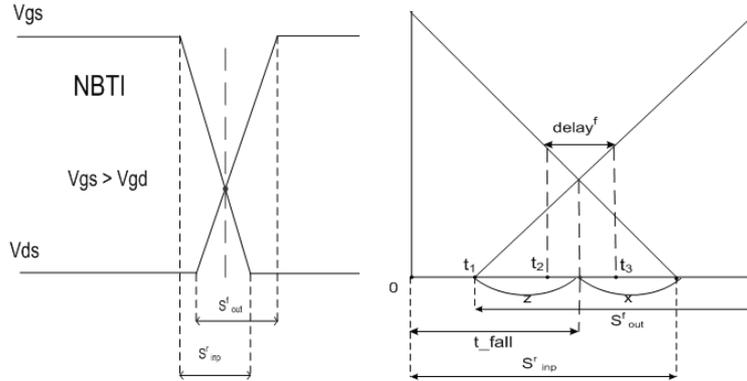


Рис. 4. Иллюстрация метода расчета пределов интегрирования на логическом уровне

Аналогично рассчитывается  $t_{rise}$  для входного переключения  $1 \rightarrow 0$ :

$$t_{rise} = \frac{S'_{out}{}^r}{2} \cdot \frac{S'_{inp}{}^f + S'_{out}{}^r + 2 \cdot delay^r}{S'_{inp}{}^f + S'_{out}{}^r}.$$

Таким образом, определяются три части для расчета  $Damage$  за период сигнала:

$$Damage_{PWL} = MSD_{PWL} + (Damage^f + Damage^r),$$

где  $MSD_{PWL}$  – данная составляющая оказывает наибольшее влияние на деградацию порогового напряжения и действует во время подачи отпирающего сигнала на затвор рМОП транзистора, а  $Damage^f$ ,  $Damage^r$  – во время среза и фронта соответственно. За все время жизни:

$$Damage = Damage_{PWL} \cdot \tau \cdot \varphi = MSD + (Damage^f + Damage^r) \cdot \tau \cdot \varphi,$$

где  $\varphi$  – частота переключения в узле. Для расчета  $MSD$  для устойчивого состояния на входе ( $V_{gs}(t) = V_{gs}^0$ ):  $MSD = K_1 \cdot (abs(V_{gs}^0))^m \cdot \tau \cdot p$ , где,  $p$  – вероятность логического нуля,  $\tau$  – полное время жизни.

Используя уравнение для напряжения на промежутке  $t_{fall}$ , можно рассчитать компонент  $Damage^f$ :

$$Damage^f = K_1 \cdot \frac{\left( \left( abs \left( V_{gs}^0 - t_{fall} \cdot \frac{V_{gs}^0}{S'_{inp}{}^r} \right) \right)^{m+1} - \left( abs(V_{gs}^0) \right)^{m+1} \right)}{(m+1) \cdot \left( -\frac{V_{gs}^0}{S'_{inp}{}^r} \right)}.$$

Подобные выражения можно получить для  $Damage^r$ .

Используя значение частоты в узлах, деградация порогового напряжения  $V_{th}$  может быть оценена следующим образом:

$$\Delta V_{th} = K \cdot (MSD + (Damage^f + Damage^r) \cdot \frac{\tau}{T})^n,$$

где  $T$  – время моделирования в SPICE.

Численные эксперименты показывают, учет влияния NBTI на фронтах обеспечивает точность вычислений в пределах 1,5 % относительно spice-моделирования (для технологии 90 нм).

**Заключение.** В данной работе предложен метод анализа деградации порогового напряжения вследствие NBTI-эффекта на логическом уровне. Для корректного анализа деградации порогового напряжения на логическом уровне предложен подход, обеспечивающий достоверные оценки длительности стрессовых состояний за счет распространения вероятностей сигналов с учетом их корреляций и анализа всех стрессовых путей. Предложены формульные соотношения для анализа деградации порогового напряжения, отличающиеся от известных детальным учетом переходных процессов, что обеспечивает точность в расчете изменения порогового напряжения в пределах 1,5 % по сравнению с точным схемотехническим моделированием.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Schroder D.K.* Negative bias temperature instability: What do we understand? // *Microelectronics Reliability*. – 2007. – Vol. 47. – P. 841-852.
2. *Chen G., Li M.F., Ang C.H., Zheng J.Z., and Kwong D.L.* Dynamic NBTI of p-MOS Transistors and its Impact on MOSFET Scaling // in *IEEE Electron Device Letters*. – December 2002. – P. 734-736.
3. *Wang W. et al.* The Impact of NBTI on the Performance of Combinational and Sequential Circuits // *DAC 2007*. – P. 364-369.
4. *Kumar S.V. et al.* An Analytical Model for Negative Bias Temperature Instability // *Proceedings of the IEEE/ACM international conference on CAD*. – 2006. – P. 493-496.
5. *Alam M.A., Mahapatra S.A.* Comprehensive Model of PMOS NBTI Degradation: Recent progress // *Journal of Microelectronics Reliability*. – 2006. – Vol. 45. – P. 854-863.
6. *Liu C-H. et al.* Mechanism of threshold voltage shift (DV<sub>th</sub>) caused by negative bias temperature instability (NBTI) in deep submicron pMOSFETs // *Jpn J Appl Phys*. – 2002. – P. 41-46.
7. *Konoura H., Mitsuyama Y., Hashimoto M., Onoye T.* Comparative study on delay degrading estimation due to NBTI with circuit/instance/transistor-level stress probability consideration // *ISQED 2010*. – P. 646-651.
8. *Wang W., Wei Z., Yang S.* An Efficient Method to Identify Critical Gates under Circuit Aging // *Proc. of the IEEE international conference on CAD*. – 2007. – P. 735-740.
9. *Marculescu R., Marculescu D., Pedram M.* Switching Activity Analysis Considering Spatiotemporal Correlations // in *Proc. ICCAD-1994*. – P.294-299.
10. *Ercolany S., Favalli M., Damiani M., et al.* Testability Measures in Pseudorandom Testing // *IEEE Trans. on CAD*. – 1992. – Vol. 11. – P. 794-800.
11. *Denais M., Parthasarathy C. et al.* On-the-fly characterization of NBTI in ultra-thin gate oxide PMOSFETs // *Electron Devices Meeting, IEDM Technical Digest. IEEE International*. – 2004. – P. 109-112.

Статью рекомендовал к опубликованию д.т.н., профессор В.В. Курейчик.

**Гаврилов Сергей Витальевич**

Учреждение Российской академии наук Институт проблем проектирования в микроэлектронике РАН.

E-mail: sergey.v.gavrilov@ippm.ru.

г. Москва, Зеленоград, ул. Советская, 3.

Тел.: 84997299890.

Сектор автоматизации топологического проектирования; зав. сектором.

**Гудкова Ольга Николаевна**

E-mail: gudkova\_o@ippm.ru.

Сектор автоматизации топологического проектирования; м.н.с.; аспирант.

**Щелоков Альберт Николаевич**

E-mail: schan@ippm.ru.

Тел.: 84997299845.

Заместитель директора.

**Gavrilov Sergey Vitalievich**

Institute for Design Problems in Microelectronics of Russian Academy of Science.

E-mail: sergey.v.gavrilov@ippm.ru.

3, Sovetskaya Street, Zelenograd, Moscow, 124681, Russia.

Phone: +74997299890.

The Department of Back-end Design Automation; Head the Department.

**Gudkova Olga Nikolaevna**

E-mail: gudkova\_o@ippm.ru.

The Department of Back-end Design Automation; Junior Researcher; Post-graduate Student.

**Schelokov Albert Nikolaevich**

E-mail: schan@ippm.ru.

Phone: +74997299845.

Deputy Director.

УДК 681.51.01

**Е.Н. Целигорова**

**ПРИМЕНЕНИЕ СИМВОЛЬНЫХ ВЫЧИСЛЕНИЙ ПРИ ИССЛЕДОВАНИИ  
РОБАСТНОЙ АБСОЛЮТНОЙ УСТОЙЧИВОСТИ НЕЛИНЕЙНЫХ  
ИМПУЛЬСНЫХ АВТОМАТИЧЕСКИХ СИСТЕМ**

*Рассмотрены особенности использования символьных вычислений для повышения эффективности численных методов. Приведен алгоритм получения коэффициентов полинома в символьном виде для исследования абсолютной устойчивости нелинейной импульсной автоматической системы. Для исследования робастной абсолютной устойчивости этой системы предлагается получение интервальных значений коэффициентов полинома в символьном виде. Полученные результаты иллюстрируются примером.*

*Нелинейная импульсная автоматическая система; символьные вычисления; робастная абсолютная устойчивость; интервальные коэффициенты полинома.*

**E.N. Tseligorova**

**APPLICATION OF SYMBOLIC COMPUTATION IN THE STUDY OF ROBUST  
ABSOLUTE STABILITY NONLINEAR IMPULSE AUTOMATIC SYSTEMS**

*In the article the features of symbolic computation to improve the efficiency of numerical methods. The algorithm of obtaining the coefficients of the polynomial in the symbolic form for the study of absolute stability of nonlinear impulse automatic system. To study the robust absolute stability of this system is proposed to obtain interval values of the coefficients of the polynomial in symbolic form. The results are illustrated by example.*

*Nonlinear impulse automatic system; symbolic computation; robust absolute stability; interval coefficients of the polynomial.*