

## Раздел II. Автоматизация проектирования

УДК 321.3

**В.В. Курейчик, Д.Ю. Запорожец**

### **СОВРЕМЕННЫЕ ПРОБЛЕМЫ ПРИ РАЗМЕЩЕНИИ ЭЛЕМЕНТОВ СБИС\***

*Проведен анализ и описываются различные критерии оптимизации при решении такой задачи конструкторского проектирования, как размещение. Для сравнения предлагаются классические и современные подходы при решении задачи размещения. Предлагаются достоинства и недостатки для каждого метода. Определены все критичные для субмикронного диапазона проблемы и выявлена природа их возникновения. Сделан вывод об использовании комплексных критериев, учитывающих физические явления, характерные для субмикронного диапазона.*

*Критерий; САПР; оптимизация; размещение; СБИС.*

**V.V. Kureichik, D.U. Zaporozhetz**

### **MODERN PLACEMENT'S PROBLEMS OF VLSI**

*In this article analyzes and describes the various optimization criteria to solve problem of design engineering, as placement. For comparison offers classical and modern approaches to solve the problem of placement. Offers advantages and disadvantages for each method. Identifies all critical to the submicron range problems and revealed the nature of their occurrence. Concluded that the use complex criteria that take into account physical phenomena characteristic of the submicron range.*

*Standard; CAD; optimization; placement; VLSI.*

Технологии изготовления СБИС на современном этапе развития позволяют размещать на кристалле до нескольких десятков миллионов элементов. Параллельно с этим возникает необходимость развития методов и средств автоматизированного проектирования таких устройств. Переход в субмикронный диапазон сопровождается появлением новых физических явлений. Актуальной проблемой является разработка новых методик и алгоритмов решения задач конструкторского проектирования. Наряду с этим, становятся неэффективными и имеющиеся критерии решения задач физической реализации проекта. В рамках данной работы рассмотрены наиболее распространенные критерии решения такой задачи конструкторского проектирования, как размещение элементов [3].

**Критерий «Суммарная длина проводников».** Одним из первых критериев, который использовался на рассвете развития проектирования ИС, был критерий суммарной длины цепей. При таком подходе постановка задачи размещения заключается в том, что на основе схемы строится графовая или гиперграфовая модель. Далее некоторым образом выбирается модель, имитирующая цепи схемы. Целью оптимизации являлась минимизация общей длины соединений. Различные модели одной и той же цепи показаны на рис. 1. Модель, указанная на рис. 1,а

\* Работа выполнена при частичной поддержке РФФИ (проект № 10-01-00115).

имитирует самое короткое дерево путей от источника к приёмникам. На рис. 1,б показано минимально связующее дерево которое является самым длинным деревом путей к приёмникам. Рис. 1,в является компромиссным вариантом между первыми двумя [4].

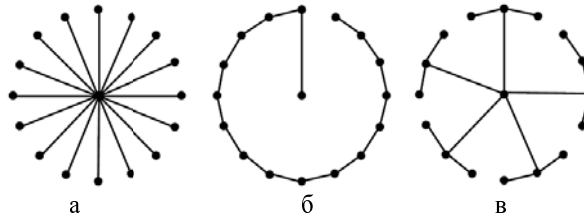


Рис. 1. Модели цепей схемы

Данный критерий позволяет учитывать временные задержки в цепи. На рис. 2 проиллюстрирована RC-модель цепи.

Очевидно, что уменьшение длины проводников уменьшает сопротивление цепи. Следовательно, временные задержки прохождения сигнала в данной цепи также уменьшаются. Аналогичным образом величина паразитных емкостей уменьшается с уменьшением длины проводников [2,5].

Математически данный критерий можно описать следующим образом:

$$D = \sum_{i=1}^N d_i,$$

где  $N$  – число цепей схемы, а  $d_i$  – длина  $i$ -ой цепи.

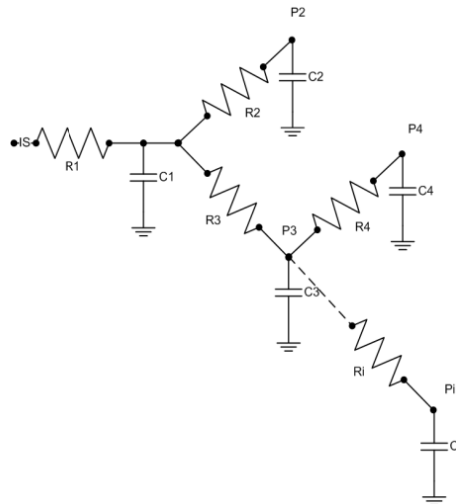


Рис. 2. RC-модель цепи

Основной проблемой здесь является выбор модели цепи. При реализации алгоритмов размещения с использованием данного критерия стоит обратить внимание на алгоритм подсчета значений целевой функции. При неоптимальном подходе время подсчета может быть достаточно велико и соразмерно со временем работы самого алгоритма.

**Критерий «Площадь описывающего прямоугольника цепи».** При таком подходе также учитываются временные задержки, но проблема выбора модели цепи становится не актуальной, так как длина самих проводников не рассчиты-

вается напрямую. При данном подходе рассчитывается расстояние между крайними позициями цепи по горизонтали (длина описывающего прямоугольника) и по вертикали (ширина описывающего прямоугольника). Целью оптимизации является, минимизация площади занимаемой цепью [2]. Данная модель продемонстрирована на рис. 3.

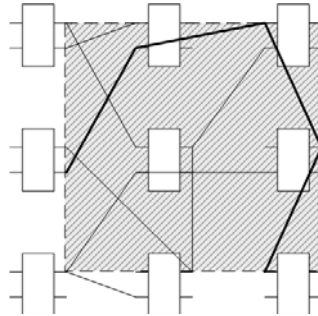


Рис. 3. Площадь описывающего прямоугольника цепи

Математическая модель выглядит следующим образом:

$$S = (\max(X_i) - \min(X_i)) \cdot (\max(Y_i) - \min(Y_i)),$$

где  $X_i$  – элемент множества координат по оси  $OX$  всех элементов цепи, а  $Y_i$  – элемент множества координат по оси  $OY$  всех элементов цепи.

Данный подход позволяет значительно сократить время подсчета целевой функции при работе алгоритма размещения элементов. Исходя из математической модели, можно сделать вывод, что расчет целевой функции сводится к нахождению во множествах  $X$  и  $Y$  необходимых значений. Оптимальные методы для поиска максимума и минимума в однородной структуре данных хорошо изучены и известны. Имея два множества  $X$  и  $Y$  одинаковой длины  $N$ , можно сказать, что временная сложность поиска всех необходимых четырех значений составит не более  $O(4 \cdot N)$  [2].

К недостаткам можно отнести, например, тот факт, будущая топология цепи практически не учитывается за счет неопределенности модели самой цепи. Поэтому данный критерий более эффективен как часть комплексного критерия.

**Критерий «Число пересечений».** Данный критерий позволяет отслеживать число пересечений проводников. Целью оптимизации является минимизация этого числа [3]. В идеальном случае число пересечений равно нулю. Следовательно, при переходе от схемы, изображенной на рис. 4,а, к графу, изображенному на рис. 4,б, мы сможем получить плоский граф.

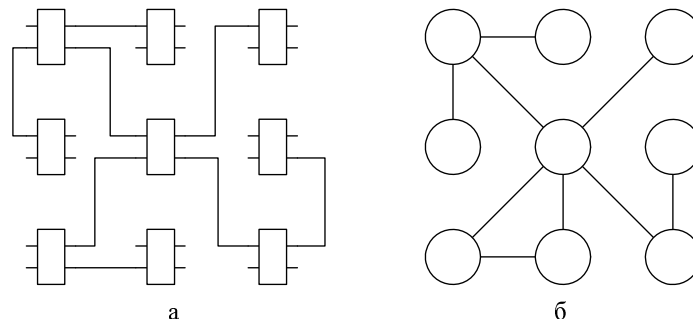


Рис. 4. Фрагмент схемы и плоский граф, полученный из этого фрагмента

В задаче размещения элементов используется данный критерий лишь в том случае, если будущая трассировка будет проводиться в один слой, что возможно при небольшом количестве элементов. Говоря о СБИС, мы ведем речь, как минимум, о десятках тысяч элементов. Однослойная трассировка явно не приемлема для такого количества элементов, а, значит, и критерий числа пересечений проводников не актуален.

К недостаткам также относится большая временная сложность определения пересечения. Потенциально проведенное ребро может пересекаться с любым другим ребром. Определение факта пересечения, в худшем случае, потребует полного перебора координат всех остальных ребер.

Математическую модель можно представить в следующем виде:

$$P = \sum_{i=1}^N p_i,$$

где  $p_i$  – число пересечений  $i$ -ой цепи с остальными,  $N$  – число цепей.

Не исключается возможность использования данного критерия, как часть комплексного. Минимизация числа пересечений в дальнейшем отразится на уменьшении числа переходных отверстий.

**Критерий «Число изломов».** В классической литературе по автоматизации конструирования ЭВА встречаются упоминания о таком критерии как число изломов проводника [2]. Некоторые авторы применяют данный критерий для решения задачи размещения элементов СБИС. Этот критерий более применим к решению задачи трассировки соединений, когда имеется эскиз топологии проводников. При решении задачи размещения данный критерий не актуален, так как он не учитывает, как минимум, длину проводника – основополагающий параметр.

**Современные проблемы при проектировании СБИС.** Перечислим некоторые факторы, которые необходимо учитывать при решении задач конструкторского проектирования СБИС:

- 1) энергопотребление при проектировании систем на субмикронном уровне;
- 2) величина временной задержки в цепи;
- 3) трассируемость проводников.

Остановимся на каждом из них подробнее.

**Фактор энергопотребления схемы.** При рассмотрении фактора энергопотребления стоит отметить, что международная дорожная карта по полупроводниковой технологии (International Echnology Roadmap for Semiconductors (ITRS) [4]) указывает на основные проблемы в области снижения энергопотребления:

- 1) подпороговые утечки;
- 2) туннельные токи;
- 3) истощение поликремния.

Термин **подпороговые токи утечки** подразумевает под собой то, что напряжение питания МОП-транзистора не уменьшается с той же скоростью, что и геометрические размеры затвора, следовательно невозможно получить транзистор с хорошим активным током и током утечки одновременно. Для решения этой проблемы ITRS в 2001 г. ввел три основные группы транзисторов [5]:

- 1) высокопроизводительные (HP – High Performance);
- 2) малоточные (LOP – Low Operating Power);
- 3) малотекущие (LSTP – Low Standby Power).

Для уменьшения токов утечки увеличивают расстояния между элементами, что влечет за собой увеличения площади кристалла, но также увеличивает потенциальную трассируемость схемы [6].

**Туннельные токи** обусловлены тем, что многослойная интегральная схема представляет собой систему типа металл-диэлектрик-металл. Ввиду масштабирования размеров, энергии электронов в проводнике стало хватать для того, чтобы

преодолеть потенциальный барьер диэлектрика и перейти на другой проводник. Для решения проблемы на этапе трассировки запрещается прокладывать проводники в соседних слоях один под другим. Вводятся экранные слои [4].

Проблема **истощения поликремниевого затвора** решается за рамками задач конструкторского проектирования. Применение металлических затворов позволяет устранить проблему истощения поликремния. Такие транзисторы в настоящий момент применяются фирмой Intel [6].

**Фактор временных задержек в проводниках.** Данный фактор связан именно с задержками в проводниках. Потребители сигнала расположены на различных расстояниях от источника. При работе комбинационной схемы сигналы на источнике должны приходить синхронно (комбинационная схема – это такой тип схем, при котором значения на выходе зависит только от величин сигналов на входах [5]). В противном случае правильность работы будет нарушена. Для решения этой проблемы существует несколько подходов. Например, для проведения цепей тактовых частот, проводники проводятся так, как показано на рис. 5.

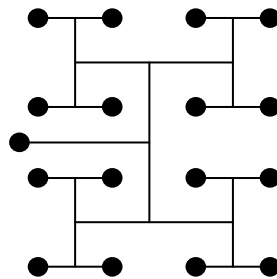


Рис. 5. Вариант соединения элементов в виде «Н-дерева»

При такой методике на все источники сигнал будет приходить одновременно. В реальных условиях добиться такой топологии невозможно. Поэтому дополнительно вводят  $t_{\max}$  – величину максимальной временной задержки в цепи. Цель оптимизации состоит в том, чтобы величина задержки в  $i$ -ой цепи была не более величины  $t_{\max}$ .

**Фактор трассируемости соединений.** Данный фактор учитывается на всем протяжении этапа реализации проекта. Основополагающим моментом является выбор модели цепей. Построение ортогональных деревьев Штейнера максимально точно отображает будущую топологию цепей схемы, но является NP-сложной задачей. Модель звезды или последовательное соединение контактов не дают адекватного представления. При построении дерева Прима полученные результаты, с определенной долей допущения, сопоставимы с реальными [1]. При автоматизированном проектировании печатных плат в продукте P-CAD фирмы Altium до этапа трассировки цепи отображаются в виде деревьев Прима.

**Заключение.** Проанализировав проблемы проектирования СБИС на субмикронном уровне можно сделать вывод, что для получения работоспособной схемы наряду с разработкой самого алгоритма размещения элементов важна правильная постановка задачи, а также учет различных критериев оптимизации. Поэтому необходимо использовать комплексные критерии, учитывающие физические явления, характерные для субмикронного диапазона.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Курейчик В.М. Комплексный алгоритм трассировки коммутационного блока / В.М. Курейчик // МЭС-2008. Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем» // Сборник трудов. – М.: ИППМ РАН, 2008. – С. 190-195.

2. Курейчик В.В. Размещение узлов и блоков радиоэлектронной и электронно-вычислительной техники на основе бионических методов / В.В. Курейчик, Бушин С.А. // Программные продукты и системы – М.: ИПИМ РАН, 2010. – С. 49-54
3. Курейчик В.М. Математическое обеспечение конструкторского и технического проектирования с применением САПР / В.М. Курейчик. – М.: Радио и связь. – 1990. – 352 с.
4. Берштейн Л.С. Применение графов для проектирования дискретных устройств / А.Н. Мелихов, Л.С. Берштейн, В.М. Курейчик. – М.: Наука. – 1974. – 304 с.
5. Sapatekar S., Alpert C., Mehta D. Handbook of Algorithms for Physical Design Automation. – NY: CRC Press, 2009. – P. 1049.
6. Bird J. Electrical Circuit Theory and Technology. – Oxford: Newnes, 2003. – 997 p.

Статью рекомендовал к опубликованию д.т.н., профессор С.М. Ковалев

**Курейчик Владимир Викторович**

Технологический институт федерального государственного автономного образовательного учреждения высшего профессионального образования «Южный федеральный университет» в г. Таганроге.

E-mail: vkur@tsure.ru.

347928, г. Таганрог, пер. Некрасовский, 44.

Тел.: 88634383451.

Кафедра систем автоматизированного проектирования; заведующий кафедрой; д.т.н.; профессор.

**Запорожец Дмитрий Юрьевич**

E-mail: zaporogetz\_trtu@mail.ru.

Кафедра систем автоматизированного проектирования, студент.

**Kureichik Vladimir Viktorovich**

Taganrog Institute of Technology – Federal State-Owned Autonomy Educational Establishment of Higher Vocational Education “Southern Federal University”.

E-mail: vkur@tsure.ru.

44, Nekrasovskiy, Taganrog, 347928, Russia.

Phone: +78634383451.

The Department of Computer Aided Design; Head of the Department; Dr. of Eng. Sc.; Professor.

**Zaporoghetz Dmitri Urievich**

E-mail: zaporogetz\_trtu@mail.ru.

The Department of Computer Aided Design; Student.

УДК 681.3.001.63

**Б.К. Лебедев, Е.И. Воронин**

**МНОГОУРОВНЕВЫЙ ПОДХОД К РЕШЕНИЮ ЗАДАЧИ ТРАССИРОВКИ  
ПО ВСЕМУ ЧИПУ С ИСПОЛЬЗОВАНИЕМ МОДИФИКАЦИЙ  
МУРАВЬИНОГО АЛГОРИТМА\***

*Предлагается метод многоуровневой трассировки СБИС, включающей две стадии: укрупнение и детализация. На стадии укрупнения множество областей (ячеек) итеративно группируется, и соответственно группируются узлы на многоуровневом графе. На стадии детализации множество объединенных ячеек итеративно разгруппируется. На каждом уровне выполняется глобальная, а затем детальная трассировка локальных соединений с использованием модификаций муравьиного алгоритма, как для глобальной, так и для*

---

\* Работа выполнена при частичной поддержке РФФИ (проекты: № 09-01-00509, № 10-01-00115, № 10-07-00055).