

Куреичик Владимир Владимирович – e-mail: kureichik@yandex.ru; кафедра систем автоматизированного проектирования; студент.

Kureichik Vladimir Victorovich – Southern Federal University; e-mail: vkur@tsure.ru; 44, Nekrasovskiy, Taganrog, 347928, Russia; phone: +78634371651; the department of computer aided design; head of department; dr. of eng. sc.; professor.

Kureichik Vladimir Vladimirovich – e-mail: kureichik@yandex.ru; the department of computer aided design; student.

УДК 658.512.2.011.5

В.В. Лисяк, Н.К. Лисяк

ПРОГРАММНЫЕ ПРОДУКТЫ САПР УСТРОЙСТВ С ПРОГРАММИРУЕМОЙ ЛОГИКОЙ*

Рассмотрены программные продукты, предназначенные для проектирования электронных устройств на базе ПЛИС (FPGA, программируемая логика) с использованием большого набора процессорных ядер, VHDL-ввода проекта и VHDL-моделирования для многих типов программируемых интегральных схем. Информация в статье приводится на период до 2013 года и содержит сведения о производителях программных продуктов САПР так или иначе представленных в России. Формализация процедур структурного синтеза в общем случае затруднительна, поэтому для их эффективного выполнения обычно используют специализированные программы, ориентированные на ограниченный класс проектируемых схем [1]. Характерные особенности технологии изготовления и проектирования имеют микропроцессоры и схемы памяти, заказные и полузаказные СБИС, в том числе программируемые логические интегральные схемы (ПЛИС). Эти особенности обуславливают различия в методах проектирования схем и требуют их отражения в применяемом математическом и программном обеспечении ECAD. Кратко рассмотрены программные продукты в области проектирования электронных устройств на базе ПЛИС (FPGA, программируемая логика) и предназначенные для проектирования на схемотехническом уровне с последующей передачей данных в программы, создающие печатные платы или ПЛИС; отладки процессорных ядер на уровне исходных кодов; создание проектов на кристаллах всех ведущих производителей с легким переходом с выбранного кристалла на другой кристалл; логического и физического синтеза высокопроизводительных ПЛИС типа CPLD и FPGA.

Программируемая логика; структурный синтез; программируемые вентиляемые матрицы; программируемые логические схемы; процессорное ядро.

V.V. Lisyak, N.K. Lisyak

CAD SOFTWARE PRODUCTS FOR PROGRAMMABLE LOGIC DEVICES

There are reviewed software products for PLD-based (FPGA, programmable logic) electronic devices design using large set of processor cores, VHDL-input of a project and VHDL-modeling for many types of programmable integrated circuits. The article includes data up to 2013 and contains information about CAD products represented in Russia. In the general case formalization of structure synthesis procedures is a complex problem, which is why for its effective realization special-purpose programs focused on limited class of designed circuits is actually used [1]. Microprocessors and memory circuits, full-custom and semi-custom VLSI, including programmable logic devices (PLD) have their own characteristic features in design and production technologies. These features determine differences in circuit design methods and require reflection in applied ECAD mathematical and software tools. The work contains short review of software products in the fields of PLD-based electronic devised design (FPGA, programmable logic) focused on

* Работа выполнена при частичной поддержке РФФИ (проект № 12-01-00100).

circuit level design with following data transfer to programs for production of printed circuits boards and PLD; debugging of processor cores on the source code level; creation of projects on chips from all leading manufacturers with easy transfer from chosen chip to another one; logical and physical synthesis of high-performance PLD of CPLD and FPGA types.

Programmable logic; structure synthesis; programmable gate array; programmable logic device; processor core.

Введение. Значительным стимулом для прогресса автоматизации проектирования в электронике (ЕСАВ – Electronics Computer Aided Design) стали разработка и развитие технологии, схемотехники и системотехники интегральных схем. В настоящее время на рынке интеллектуальных технологий имеется большое число программ ЕСАВ, причем процесс обновления состава ПО в САПР ведущих фирм происходит весьма динамично.

Системы ЕСАВ совершенствовались параллельно с прогрессом микроэлектроники. В электронике наиболее наукоемкими процедурами, насыщенными сложным математическим обеспечением, являются процедуры проектирования СБИС. В значительной мере методы, алгоритмы, языки, ориентированные на проектирование СБИС, могут применяться и в маршрутах проектирования радиоэлектронных устройств, в которых микросхемы составляют элементную базу.

Формализация процедур структурного синтеза в общем случае затруднительна, поэтому для их эффективного выполнения используют специализированные программы, ориентированные на ограниченный класс проектируемых схем [1]. Характерные особенности технологии изготовления и проектирования имеют микропроцессоры и схемы памяти, заказные и полузаказные СБИС, в том числе программируемые логические интегральные схемы (ПЛИС). Эти особенности обуславливают различия в методах проектирования схем и требуют их отражения в применяемом математическом и программном обеспечении ЕСАВ.

В качестве ПЛИС широко используют программируемые логические схемы CPLD (Complex Programmable Logic Device) программируемые логические схемы и программируемые вентиляльные матрицы FPGA (Complex Programmable Logic Device). В случае использования CPLD для отражения структуры конкретной схемы в инвариантном по отношению к приложению множестве функциональных ячеек требуется выполнить заключительные технологические операции металлизации. В случае схемы FPGA программатор, согласно заданной программе, просто расплавляет имеющиеся перемычки или, наоборот, их создает, локально ликвидируя тонкий изолирующий слой. Следовательно, при использовании CPLD и FPGA необходимо с помощью САПР выбрать систему связей между ячейками программируемого прибора в соответствии с реализуемыми в схеме алгоритмами и синтезировать программы управления программатором или заключительной операцией металлизации. Ячейки могут быть сложными логическими схемами, вентилями или даже отдельными транзисторами. На производстве кристаллов ПЛИС специализируется ряд фирм (Xilinx Inc., Altera, Actel и другие) и зачастую они поставляют программное обеспечение для синтеза схем на производимых ими кристаллах.

Основными производителями программных продуктов для проектирования электронных устройств на базе ПЛИС являются фирмы Mentor Graphics Corp., Aldec, Ins. и Xilinx Inc. (США) и фирма Altium Limited (Австралия). Информация в статье приводится на период до 2013 года и содержит сведения о программных продуктах этих производителей, представленных в России.

В работе кратко рассмотрены программные продукты в области проектирования электронных устройств на базе ПЛИС (FPGA, программируемая логика) и предназначенные для:

- ◆ проектирования на схемотехническом уровне с последующей передачей данных в программы, создающие печатные платы или ПЛИС;
- ◆ отладки процессорных ядер на уровне исходных кодов;
- ◆ создание проектов на кристаллах всех ведущих производителей с легким переходом с выбранного кристалла на другой кристалл;
- ◆ редактирования ядер процессоров на уровне исходных кодов на C или ассемблере;
- ◆ поддержки работы с многомиллионными программируемыми системами на кристалле (FPGa) последнего поколения;
- ◆ логического и физического синтеза высокопроизводительных ПЛИС типа CPLD и FPGA.

На рис. 1 показаны производители и их программные продукты в области проектирования электронных устройств на базе ПЛИС, а ниже приводится краткое описание их основных возможностей и особенностей. При подготовке обзора использованы источники [2–12].

США		АВСТРАЛИЯ
Mentor Graphics Corp. Precision Synthesis FPGA Advantage	Xilinx Inc. ChipScope Pro EDK ISE Foundation	Altium Limited Altium Desinger CircuitStudio Nexar

Рис. 1. Программные продукты проектирования электронных устройств на базе ПЛИС

Программные продукты компании Altium Limited, Австралия

Altium Desinger. Представляет собой комплект известных программ компании Altium Limited, предназначенный для комплексного проектирования электронных устройств на базе схем программируемой логики (ПЛИС).

В комплект входят следующие программы:

- ◆ САМtastic – проверка и исправление проектов печатных плат;
- ◆ CircuitStudio – проектирование на схемотехническом уровне с передачей данных в программы, создающие печатные платы или ПЛИС;
- ◆ Nexar – проектирование электронных устройств на базе ПЛИС (FPGA) с использованием библиотек процессорных ядер;
- ◆ Protel – система сквозного проектирования печатных плат.
- ◆ Altium Limited обеспечивает:
- ◆ возможность назначения линиям на схеме стиля стрелки, редактирования текста на листе схемы и поддержку TrueType шрифтов;
- ◆ группировку компонентов на схеме и перемещение объектов на плате;
- ◆ поддержку трассировки дифференциальных пар и шин;
- ◆ редактирование зеркального вида платы;
- ◆ совместимость с библиотеками PSpice.

CircuitStudio. Программа предназначена для моделирования и анализа целостности сигналов и позволяет выполнять проектирование на схемотехническом уровне с передачей данных в программы, создающие печатные платы или ПЛИС.

Программа интегрирована в Protel. В настоящее время программа предлагается в комплекте Altium Designer.

Позволяет вводить в проект VHDL-описания. Имеется поддержка поведенческого VHDL-моделирования. В CircuitStudio имеются общие с Protel библиотеки, которые позволяют присоединить к одному УГО неограниченное количество корпусов, SPICE-моделей, моделей для анализа целостности сигналов.

Цифроаналоговое проектирование осуществляется по принципиальной схеме. Среди средств анализа имеется и метод Монте-Карло. Всего более 16000 математических моделей.

Возможен предварительный расчёт перекрестных отражений до этапа компоновки и трассировки печатной платы.

Возможен импорт проектов из OrCAD и PCAD, импорт и экспорт форматов DWG и DXF, а также генерация списков соединений в наиболее популярных форматах. Оформление перечней элементов по ЕСКД.

Nexar. Программа позволяет проектировать электронные устройства на базе ПЛИС (FPGA) с использованием большого набора процессорных ядер.

В настоящее время программа предлагается в комплекте Altium Designer.

Nexar предоставляет следующие возможности:

- ◆ VHDL-моделирование и VHDL-ввод проекта;
- ◆ возможность отладки процессорных ядер на уровне исходных кодов;
- ◆ интеграция с платой отладки NanoBoard и с технологией LiveDesign;
- ◆ комплект синтезированных IP-блоков и ядер процессоров;
- ◆ схемный ввод проекта.

Возможно создание проектов на кристаллах всех ведущих производителей. Легкий переход с выбранного кристалла на другой кристалл.

Редактирование ядер процессоров на уровне исходных кодов на C или ассемблере. В программе Nexar значительно сокращено время проектирования устройств на базе ПЛИС за счет применения технологии LiveDesign, которая позволяет контролировать в реальном времени то, что происходит в ПЛИС в процессе проектирования.

Программные продукты компании Aldec, Ins., США

Active-HDL. Программа предназначена для проектирования цифровых устройств и является полностью интегрированной средой разработки цифровых устройств на основе текстовых HDL описаний. Создание проектов, моделирование для многих типов программируемых интегральных схем ПЛИС. Программа поддерживает средства синтеза и размещения-разводки для основных производителей ПЛИС (FPGA). Имеется возможность использовать встроенный генератор IP-блоков для создания таких моделей, как: арифметические функции, фильтры, последовательностная логика, блоки памяти, конверторы кодов, элементы для построения тестов, промышленные приложения.

Встроенная функция Code2Graphics может генерировать графическое представление проектов, сделанных на языках VHDL или Verilog. Code2Graphics анализирует исходные файлы на указанных языках или формате EDIF и затем генерирует один или более файлов блок-диаграмм, в зависимости от количества проектных объектов, модулей или элементов.

Программа содержит прекомпилированные библиотеки производителей ПЛИС. Выполненные проекты могут быть экспортированы в файл формата HTML. Active-HDL полностью совместима с системой моделирования Riviera, которая позволяет производить моделирование на платформах Linux и Unix.

Обеспечивается двунаправленный обмен атрибутами между моделями SolidWorks и свойствами документов в хранилище. Поддерживаемые стандарты: VHDL 1076-87/93, Verilog 1364-95/2001, VITAL 1076.4-95/2000, SDF, 2.0 и 3.0.

Riviera-IPT. Программа предназначена для аппаратно-программного моделирования и является средой моделирования, позволяющей для ускорения верификации размещать проект целиком или частично на платах прототипах. Это дает значительный прирост производительности в сравнении с обычной программной верификацией и значительно ускоряется процесс верификации ASIC и FPGA (ПЛИС) проектов.

Riviera-IPT разделяет нагрузку между аппаратным PCI-ускорителем и программным симулятором. Многоцелевое ядро симулятора позволяет моделировать смешанные VHDL, Verilog, и SystemC проекты.

Программа автоматически находит и переводит в аппаратное представление части проекта, требующие наибольшего времени моделирования.

Riviera-IPT содержит следующие компоненты:

- ◆ высокопроизводительный симулятор Riviera и плата ускорителя;
- ◆ управление моделированием проекта (Design Verification Manager).

Design Verification Manager осуществляет разбиение проекта на части, оставляя не синтезируемые участки в симуляторе и размещая, синтезируемые части на плате ускорителя. Основу платы ускорителя Riviera-IPT составляют стандартные ПЛИС (FPGA) микросхемы и PCI-интерфейс.

В процессе моделирования плата ускорителя синхронизируется с программным симулятором и работает с ним на одной частоте.

Программные продукты компании Mentor Graphics Corp., США

Precision Synthesis. Комплексное средство логического и физического синтеза высокопроизводительных ПЛИС типа PLD и FPGA, оптимизированное с точки зрения простоты использования и высокого качества результатов.

Поддерживает работу с многомиллионными программируемыми системами на кристалле (FPGa) последнего поколения. Получает входные данные в виде описания на VHDL или Verilog и реализует синтез логической схемы с учетом заданных ограничений на основе встроенных библиотек изготовителей.

Пакет имеет встроенную систему статического временного анализа, возможность анализа и отладки в инкрементном режиме и интуитивный пользовательский интерфейс, позволяющий легко управлять процессом синтеза, как опытному инженеру, так и новичку. Precision RTL Synthesis включает уникальный алгоритм оптимизации – Architecture Signature Extraction (A.S.E.). Алгоритм автоматически выделяет в проекте наиболее критичные области, ограничивающие производительность всей системы, такие как конечные автоматы, логические пути между различными уровнями иерархии проекта или логические пути с очень большим количеством комбинационной логики. Алгоритм A.S.E. использует эвристический анализ в автоматическом режиме для уменьшения объема проекта и увеличения его производительности без необходимости ручного вмешательства пользователя.

Precision RTL Synthesis полностью интегрирован в маршрут проектирования FPGA, Advantage, включающий пакеты HDL Designer и ModelSim. Поддерживаются все серии кристаллов Xilinx, Altera, Actel и Lattice.

FPGA Advantage. Представляет собой комплект программ компании Mentor Graphics, предназначенный для проектирования систем на ПЛИС FPGA. В комплект входят следующие программы:

- ◆ HDL Designer – текстовый и графический ввод HDL-проектов, управление проектированием, экспорт/импорт IP-блоков, выпуск документации;

- ◆ Leonardo Spectrum – система логического синтеза FPGA /ASIC;
- ◆ ModelSim – система цифрового моделирования проектов на языках VHDL, Verilog, SystemC;
- ◆ Precision RTL/Physical Synthesis – логический и физический синтез FPGA.

Основные возможности. Комплексный интегрированный маршрут проектирования PDL/FPGA. Включает средство создания проекта – HDL Designer, средство анализа и моделирования проекта – ModelSim и средство логического/физического синтеза – Precision RTL/Physical Synthesis или Leonardo Spectrum. Качество результатов и продуктивность улучшены благодаря глубокой интеграции вышеуказанных средств в единый маршрут проектирования. Ядром FPGA Advantage служит пакет HDL Designer, который является средой создания проекта, управления процессом проектирования и выпуска документации, реализует функции повторного использования проектных решений и является связующим звеном с системами моделирования и синтеза. Каждый компонент FPGA Advantage является мощным средством проектирования, которое может использоваться отдельно или совместно с программами других поставщиков.

Программные продукты компании Xilinx Inc., США

ChipScope Pro. Программа ChipScope Pro обеспечивает внутрисхемную отладку ПЛИС FPGA фирмы Xilinx. Работает посредством внедрения в проект IP-ядер логического анализатора, шинного анализатора и виртуального ввода/вывода, позволяя наблюдать за любым заданным внутренним сигналом или узлом, включая встроенные аппаратные или софт-процессоры. Сигналы захватываются со скоростью, допустимой хост-компьютером, и передаются через интерфейс JTAG, освобождая таким образом программируемые выводы ПЛИС для использования разработчиком. Следует отметить, что по интерфейсу JTAG производится и загрузка конфигурационной последовательности в ПЛИС, соответственно для отладки не требуется какое-либо дополнительное оборудование. Захваченные сигналы могут быть проанализированы с помощью логического анализатора, входящего в состав ChipScope Pro. Связь отлаживаемой платы с компьютером осуществляется через отладочный кабель фирмы Xilinx.

ChipScope Pro также совместима по интерфейсу с тестовым оборудованием компании Agilent, что позволяет обеспечить больше памяти для хранения данных тестирования, более высокие тактовые частоты и другие дополнительные возможности и, кроме того, задействует для своей работы всего несколько выводов FPGA. Для работы программы ChipScope Pro необходим пакет ISE Foundation или WebPack соответствующей версии.

Поддерживаются ОС: WindowsXP/2000, Red Hat Enterprise, Solaris.

EDK. Xilinx Embedded Development Kit (EDK) – интегрированный программный пакет для сквозной разработки встраиваемых программируемых процессорных систем на базе ПЛИС Xilinx. Пакет включает программное средство Platform Studio, всю необходимую документацию и IP-ядра, которые могут потребоваться для разработки встраиваемых систем на основе FPGA фирмы Xilinx с встроенными аппаратными ядрами процессора PowerPC и/или софт-процессорами MicroBlaze. Для работы пакета EDK необходим пакет ISE Foundation или ISE WebPack соответствующей версии.

Основные модули:

- ◆ Xilinx Platform Studio (XPS): графический редактор управления файлами проекта; интерфейс к подпрограммам EDK и ISE;
- ◆ Средства разработки ПО: GNU C/C++ – компилятор программ для процессоров MicroBlaze и PowerPC; XMD-отладчик для процессоров Xilinx Microprocessor Debug engine;

- ◆ Заготовки встраиваемых систем для готовых плат производства Xilinx и третьих фирм, а также возможность создания собственных встраиваемых систем;
- ◆ IP-ядра шин и устройств для процессоров MicroBlaze и PowerPC;
- ◆ IP-ядро процессора MicroBlaze;
- ◆ VHDL/Verilog-модели процессоров и IP-ядер.

Поддерживаются ОС: WindowsXP/2000, Red Hat Enterprise Linux 3, Solaris.

ISE Foundation. Пакет программ ISE Foundation предназначен для реализации цифровых систем на базе ПЛИС фирмы Xilinx следующих семейств:

- ◆ Virtex-4 FX (LX), Virtex-4 SX, Virtex-II Pro, Virtex-II, Virtex-E, Virtex;
- ◆ Spartan-3E, Spartan-3/3L, Spartan-III, Spartan-II;
- ◆ CoolRunner-II, CoolRunner XPLA3;
- ◆ XC9500XV, XC9500XL, XC9500.

Основные модули пакета:

- ◆ редактор схемотехнического ввода и ввода на языках VHDL и Verilog;
- ◆ CORE Senerator – генератор оптимизированных IP-ядер;
- ◆ редактор тестовых воздействий для программы моделирования;
- ◆ программа функционального и временного моделирования;
- ◆ синтезатор VHDL/Verilog-кода;
- ◆ программа автоматического размещения и трассировки ПЛИС;
- ◆ программа загрузки конфигурационной последовательности в ПЛИС FPGA и программирования ПЛИС CPLD и ППЗУ.

PlanAhead. Программное обеспечение PlanAhead позволяет разработчикам через анализ топологии кристалла повышать производительность проектов. PlanAhead упрощает переход между синтезом и трассировкой проектов, обеспечивая существенное уменьшение количества и длительности итераций повторного проектирования. PlanAhead предоставляет возможность взглянуть изнутри на процесс размещения и трассировки и быстро проверить «а что будет, если?», предлагая таким образом быстро идентифицировать и устранить проблемы. В сочетании с ISE 8.1i можно получить до 30 % прироста производительности по сравнению с аналогичными решениями, в то время как для сложных проектов с несколькими тактовыми доменами можно ожидать до 56 % прироста.

Для работы пакета PlanAhead необходим пакет ISE Foundation или ISE WebPack соответствующей версии.

Поддерживаемые ПЛИС Xilinx: Virtex-II Pro; Virtex-II; Spartan-3E; Spartan-3; Virtex-4 FX; Virtex-4 LX; Virtex-4 SX.

System Generator for DSP. Является инструментом для разработки и отладки высокопроизводительных систем цифровой обработки сигналов. Позволяет использовать наиболее производительные FPGA фирмы Xilinx. Пакет обеспечивает высокоуровневое представление проекта, абстрагированное от конкретной аппаратной платформы, которое автоматически компилируется в FPGA без потерь в производительности по сравнению с проектами, реализованными на языках более низкого уровня, таких как VHDL. System Generator является частью технологии XtremeDSP фирмы Xilinx, которая объединяет самые современные FPGA, средства разработки, IP-ядра, а также обеспечивается поддержкой центров разработки проектов и центров обучения Xilinx. Для работы пакета Xilinx System Generator for DSP необходимы пакеты MathLab + Simulink и ISE Foundation или ISE WebPack соответствующей версии. Основные функции:

- ◆ автоматическая генерация VHDL/Verilog файлов из Simulink и функций, написанных в MathLab;

- ◆ аппаратная отладка с использованием интерфейсов 10/100/1000 Ethernet, PCI, Cardbus и JTAG между Simulink и платой;
- ◆ интерфейс к ISE и к ModelSim;
- ◆ реализация и отладка высокопроизводительных систем цифровой обработки сигналов в Simulink;
- ◆ создание сопроцессорного блока цифровой обработки сигнала для микропроцессора MicroBlaze 32-bit RISC.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Норенков И.П.* Основы автоматизированного проектирования. – М.: Изд-во МГТУ им. Н.Э. Баумана, 2002. – 336 с.
2. *Латышев П.Н.* Каталог САПР. Программы и производители 2011-2012. – М.: Салон-Пресс, 2012.
3. *Мальчуков А.Н., Осокин А.Н.* Система автоматизированного проектирования кодеров помехоустойчивых кодов короткой длины // Известия Томского политехнического университета. – 2008. – Т. 312. – Вып. № 5.
4. *Сабунин А.Е.* Altium Designer. Новые решения в проектировании электронных устройств. – М.: Салон-Пресс, 2009. – 432 с.
5. *Пранович В.И.* От PCAD к Altium Designer // EDA Express. – 2007. – № 15.
6. *Карякин А.Т., Хакулов А.М.* Основные возможности САПР Altium Designer // Молодой ученый. – 2014. – № 2. – С. 146-148.
7. *Еркин А.В.* Обзор современных САПР ПЛИС // Chip News. – 2008. – № 10-11. – С. 17-29.
8. *Суходольский В.* Программирование и отладка логики ПЛИС на стенде NanoBoard // САПР и графика. – 2012. – № 4. – С. 82-85.
9. Новая версия САПР Vivado Design Suite 2013.3.: URL: <http://www.xilinx.com/products/design-tools/vivado/index.htm>; (дата обращения: 11.05.2014).
10. Обзор современных САПР для ПЛИС: Время электроники URL: www.russianelectronics.ru/review/2189/doc/39084 (дата обращения: 11.05.2014).
11. *Гладков Л.А., Курейчик В.В., Курейчик В.М., Сороколетов П.В.* Биоинспирированные методы в оптимизации. – М.: Физматлит, 2009. – 384 с.
12. *Курейчик В.М., Лебедев Б.К., Лебедев В.Б.* Планирование сверхбольших интегральных схем на основе интеграции моделей адаптивного поиска // Известия РАН. Теория и системы управления. – 2013. – № 1. – С. 84-101.

REFERENCES

1. *Norenkov I.P.* Osnovy avtomatizirovannogo proektirovaniya [Bases of the automated designing]. Moscow: Izd-vo MG TU im. N.Eh. Bauman, 2002, 336 p.
2. *Latyshev P.N.* Katalog SAPR. Programmy i proizvoditeli 2011-2012 [Directory CAD. Programs and manufacturers]. Moscow: Salon-Press, 2012.
3. *Malchukov A.N., Osokin A.N.* Sistema avtomatizirovannogo proektirovaniya kodekov pomekhoustoychivykh kodov korotkoy dliny [Computer-aided design system codec error correcting codes, short length], *Izvestiya Tomskogo politekhnicheskogo universiteta* [Bulletin of Tomsk Polytechnic University], 2008, Vol. 312, Issue No. 5.
4. *Sabunin A.E.* Altium Designer. Novye resheniya v proektirovanii elektronnykh ustroystv [New solutions in the design of electronic devices]. Moscow: Salon-Press, 2009, 432 p.
5. *Pranovich V.I.* Ot PCAD r Altium Designer [From PCAD to Altium Designer], *EDA Express*. 2007. No. 15.
6. *Karyakin A.T., Khakulov A.M.* Osnovnye vozmozhnosti SAPR Altium Designer [Key features CAD Altium Designer], *Molodoy uchenyy* [Young scientist], 2014, No. 2, pp. 146-148.
7. *Erkin A.V.* Obzor sovremennykh SAPR PLIS [An overview of modern CAD FPGA], *Chip News*, 2008, No. 10-11, pp. 17-29.
8. *Sukhodolskiy V.* Programirovanie i otladka logiki PLIS na stende NanoBoard [Programming and debugging logic, FPGA on the stand NanoBoard], *SAPR i grafika* [CAD and graphics], 2012, No. 4, pp. 82-85.

9. Novaya versiya SAPR Vivado Design Suite 2013.3 [A new version of CAD Vivado Design Suite 2013.3] Available at: <http://www.xilinx.com/products/design-tools/vivado/index.htm>: (accessed: 11 May 2014).
10. Obzor sovremennykh SAPR dlya PLIS [An overview of modern CAD systems for FPGA. Available at: <http://www.russianelectronics.ru/review/2189/doc/39084> (accessed: 11. May 2014).
11. Gladkov L.A., Kureychik V.V., Kureychik V.M., Sorokoletov P.V. Bioinspirirovannye metody v optimizacii [Bioinspiration methods in optimization]. Moscow: Fizmatlit, 2009, 384 p.
12. Kureychik V.M., Lebedev B.K., Lebedev V.B. Planirovanie sverkhbolshikh integralnykh skhem na osnove integracii modeley adaptivnogo poiska [Planning of very large scale integrated circuits on the basis of integration models adaptive search], *Izvestiya RAN. Teoriya i sistemy upravleniya* [Izvestiya of the Russian Academy of Sciences. Theory and control system], 2013, No. 1, pp. 84-101.

Статью рекомендовал к опубликованию д.т.н., профессор Н.И. Витиска.

Лисяк Владимир Васильевич – Южный федеральный университет; e-mail: v-lisyak@yandex.ru; 347928, г. Таганрог, пер. Некрасовский, 44; тел.: 88634360524; кафедра систем автоматизированного проектирования; доцент.

Лисяк Наталия Константиновна – e-mail: NKL2004@mail.ru; кафедра систем автоматизированного проектирования; доцент.

Lisyak Vladimir Vasilievich – Southern Federal University; e-mail: v-lisyak@yandex.ru; 44, Nekrasovskiy, Taganrog, 347928, Russia; phone: +78634360524; the department of computer aided design; associate professor.

Lisyak Natalia Konstantinovna – e-mail: NKL2004@mail.ru; the department of computer aided design; associate professor.

УДК 681.3.001.63

С.Н. Щеглов

ПРОВЕДЕНИЕ ВЫЧИСЛИТЕЛЬНЫХ ЭКСПЕРИМЕНТОВ ПРИ ПРИНЯТИИ РЕШЕНИЙ ДЛЯ ГРАФОВЫХ МОДЕЛЕЙ В САПР*

Рассмотрено проведение вычислительных экспериментов при принятии решений для графовых моделей в САПР. Рассматриваются методы исследования алгоритмов автоматизированного проектирования на примере задачи размещения СБИС. Показаны цели исследования алгоритмов – определение оптимальных параметров, при которых алгоритмы находят глобальные или близкие к нему решения (максимумы) за минимальное время работы, а также доказательство их эффективности (оптимальности), по сравнению с аналогичными алгоритмами. Приведены этапы экспериментальных исследований. Перед началом экспериментов необходимо определить порядок их проведения, чтобы за счёт оптимального планирования с минимальными затратами получить всю информацию относительно объектов исследования. Для комплексного тестирования инспирированных природой алгоритмов была рассмотрена пример работы специализированной программной среды. Основное её предназначение заключается в получении анализа интегральных численных оценок эффективности набора алгоритмов для принятия решений в САПР.

Автоматизация проектирования; СБИС; алгоритм; оптимум; вычислительные эксперименты; графовые модели; принятие решений.

* Работа выполнена при частичной поддержке РФФИ (проект № 12-07-00058).