

УДК 004.272.2

**В.М. Амербаев, Е.С. Балака, А.Н. Щелоков**

**ПРИМЕНЕНИЕ СТРУКТУРНОЙ ИЗБЫТОЧНОСТИ ДЛЯ ПОВЫШЕНИЯ  
НАДЕЖНОСТИ АРИФМЕТИЧЕСКОГО УЗЛА ВЫЧИСЛИТЕЛЬНОГО  
ЭЛЕМЕНТА БИМОДУЛЬНОЙ АРИФМЕТИКИ**

*Проводилось исследование аппаратных методов повышения надежности характеристик арифметического узла вычислительного элемента, реализованного на бимодульной арифметике. Вычислительный элемент по модулю (ВЭ) сам по себе является минимальной вычислительной единицей, входящей в состав модулярного процессора, имеющего структуру многослойной решетчатой сети. Достоинством такого структурного решения является устранение избыточной аппаратуры на выполнение немодульных операций, их параллельного выполнения на вычислительных элементах, а также распространение конструкций сбое- и отказоустойчивых вычислений не только на модульные, но и на немодульные операции. Выбор, в качестве базиса, бимодульной арифметики для построения ВЭ обоснован более экономичным с точки зрения аппаратных затрат построением основных его узлов. В рамках исследования рассматривались наиболее известные виды контроля: контроль по модулю, дублирование, тройное резервирование с использованием мажоритарных элементов. Для проведения экспериментов, были разработаны специальные программы-скрипты, генерирующие Verilog описания арифметического узла совместно с рассматриваемыми схемами контроля, проведено сравнение полученных результатов по площади, занимаемой дополнительной контрольной аппаратурой, а также по потери производительности относительно незащищенных схем.*

*Модулярный процессор; бимодульная арифметика; методы аппаратного контроля.*

**V.M. Amerbaev, E.S. Balaka, A.N. Schelokov**

**USE OF STRUCTURAL REDUNDANCY FOR INCREASE OF RELIABILITY  
OF ARITHMETIC UNIT OF THE COMPUTING ELEMENT OF BIMODULAR  
ARITHMETIC**

*In this work a study of hardware methods for improving reliability characteristics of arithmetic unit of computing element implemented basing on bimodular arithmetic was carried out. RNS computing element is a minimal computing unit included in RNS processor which is structured as a latticed multilayer network. Advantage of such a structural solution is the elimination of redundant hardware needed to perform non-RNS operations and their parallel execution on computing elements, and also usage of error- and fault-tolerant calculations not only for RNS operations, but for non-RNS operations as well. Choice of bimodular arithmetic as the basis for CE construction was preferred due to more economic construction of its main units regarding hardware expenditures. The most well-known types of control were considered: modulo control, hardware duplication, triplicated redundancy with majority elements. For experiments special scripts were developed, generating Verilog descriptions of arithmetic unit together with the control circuits under consideration, the results were compared with respect to additional control hardware area and the loss in performance relative to unprotected circuits.*

*RNS-based processor; bimodular residue number system; methods of hardware control.*

**Введение.** Ключевым компонентом любых современных систем обработки и передачи данных являются процессорные устройства. Традиционно, подход к построению модулярных процессоров основывался на отдельном проектировании модульной части АУ, в которой реализуются все модульные операции модулярной арифметики, и немодульной части АУ, в которой реализуются последовательно-параллельные операции такого вида, как формирование знака числа, сравнение чисел по величине, операции округления и перевода из позиционной системы счисле-

ния в модулярную и обратно и т.п. [1, 2, 3]. Существенным недостатком такого подхода является отдельное построение громоздкой по аппаратным затратам немодулярной части АУ. В работе [4, 5] обозначен новый подход к построению архитектуры модулярного процессора, затрагивающий совершенствование всех процедур модулярной арифметики, основанный на понятии вычислительного элемента (ВЭ) по модулю принятой модулярной системы оснований, как автономной минимальной структурной вычислительной единицы, входящей в состав модулярного процессора. Авторы работы указывают на то, что для выполнения требований оптимальности и эффективности вычислительных архитектур в специализированных приложениях целесообразно использовать вычислительные элементы, аппаратно адаптируемые к тем или иным вычислительным задачам. Основным узлами, входящими в ВЭ, являются устройство управления, оперативно-запоминающее устройство, постоянно-запоминающее устройство, а также арифметический узел по модулю  $p$  (АУз) [6].

В работе [7] рассматривалось построение АУз ВЭ по модулю, основанного на бимодулярной арифметике кольца вычетов по модулю  $p$  ( $p$  – простое), структурная схема которого изображена на рис. 1. Здесь показывается, что за счет использования модифицированного представления операндов и соответствующей архитектуры ВЭ бимодулярной арифметики можно получить решение более экономичное с точки зрения аппаратных затрат в сравнении с аналогами. В данной статье изучаются вопросы повышения надежности АУз бимодулярной арифметики аппаратными методами.

### 1. Аппаратные методы повышения надежности цифрового устройства.

Надежность цифрового устройства характеризуется средним временем между устойчивыми отказами. Однако этот критерий не является полным. Наряду с устойчивыми отказами при работе устройства могут возникать сбои, приводящие к неправильному результату вычислений. При этом задачи надежности классифицируются следующим образом: 1) повышением надежности элементов схемы; 2) повышением надежности за счет структурной избыточности (мажоритарные методы); 3) применение средств контроля и диагностики, задачами которых являются обнаружение и/или исправление возникших ошибок.

Сравнительная характеристика методов контроля основывается на надежности обнаружения сбоев, возможности исправления ошибок после сбоев, площади, занимаемой дополнительной аппаратурой, влиянии контрольной аппаратуры на быстродействие устройства.

Аппаратный контроль обеспечивает обнаружение сбоя непосредственно в момент его возникновения, что в свою очередь позволяет автоматизировать процесс исправления ошибок, вызванных сбоем. Опубликованные материалы дают возможность разделить методы аппаратного контроля на следующие основные виды: 1) контроль по модулю; 2) дублирование (система из двух синхронно работающих устройств); 3) тройное резервирование с использованием мажоритарных элементов; 4) метод двойного счета.

Построение АУз [6] бимодулярной арифметики основывается на понятии модифицированного вычета по модулю  $p$ :

$$|\tilde{x}|_p = \lambda_p \delta((p-1) - |x|_p) + |x|_p \delta((p-1) - |x|_p)$$

$$\delta(u) = \begin{cases} 1, & u = 0, \\ 0, & \text{иначе,} \end{cases} \quad \text{– функция Кронекера,}$$

$$\hat{\delta}(u) = 1 - \delta(u) \quad \text{– кофункция Кронекера.}$$

При этом вторая компонента бимодульного представления есть дискретный логарифм:

$$\log_w |\tilde{x}|_p = \delta(|\tilde{x}|_p) \lambda_p + \hat{\delta}(|\tilde{x}|_p) \text{ind}_w |x|_p,$$

где

$$\text{ind}_w |\tilde{x}|_p - \text{индекс вычета } |\tilde{x}|_p \text{ по основанию } w, \text{ т.е.}$$

$$|\tilde{x}|_p \neq 0 \Leftrightarrow \left| w^{\text{ind}_w |\tilde{x}|_p} \right| = |\tilde{x}|_p.$$

Достоинством перехода от ранее рассмотренной структуры [7] бимодульного элемента  $\langle |x|_p, \log_w |x|_p \rangle$  к модифицированному является не только однотипность аппаратуры (как это требовалось в [8]), но и однотипность кодового представления элементов пары  $\langle |\tilde{x}|_p, \log_w |\tilde{x}|_p \rangle$ .

Переход к однородному кодовому представлению операндов в отличие от традиционного бимодульного представления, позволил в данной работе реализовать аддитивные и мультипликативные операции на одном сумматоре по модулю  $p-1$ . Это, в свою очередь, привело к сокращению затрат на занимаемую площадь, что положительно повлияло и на контроль выполнения арифметических операций.

Рассмотрим отмеченные выше методы повышения надежности относительно АУз ВЭ бимодульной арифметики.

Здесь основным узлом, требующим применения дополнительного аппаратного контроля, является двоичный сумматор. При этом полагается, что схемы контроля, коммутации и «голосования» абсолютно надежны.

Сущность метода контроля по модулю состоит в следующем [9]: каждой паре операнда ставится в соответствие контрольный код, представляющий собой остаток от деления компонент пары операнда на  $2^n-1$ . При увеличении значения контрольного модуля возрастает способность метода к обнаружению ошибок. Однако, при этом количество дополнительного оборудования возрастает непропорционально росту эффективности контроля.

Второй метод повышения надежности цифровых устройств – дублирование. Он сводится к синхронной параллельной работе двух однотипных устройств с применением средств сравнения на выходных регистрах. Высокая эффективность данного метода объясняется тем, что вероятность одновременного сбоя двух одинаковых элементов обоих устройств ничтожно мала. При этом, данный метод контроля является одним из способов наиболее выгодного использования резервной аппаратуры.

Следующим методом повышения надежности цифрового устройства является тройное резервирование с использованием мажоритарных элементов. При троировании наряду с увеличением вероятности безотказной работы увеличивается и достоверность функционирования за счет автоматического устранения последствий случайных сбоев при помощи мажоритарных элементов. Существенным недостатком такого метода является невозможность указания точного места отказа (сбоя).

**2. Схемотехническая реализация АУз бимодульного ВЭ совместно со схемами контроля.** Схемотехническая реализация контроля по модулю осуществляется с помощью комбинационных схем «сверток» (СФО) [8]. На рис. 2 представлена часть структурной схемы бимодульного сумматора (см. рис. 1 №1) с контролем по модулю 3.

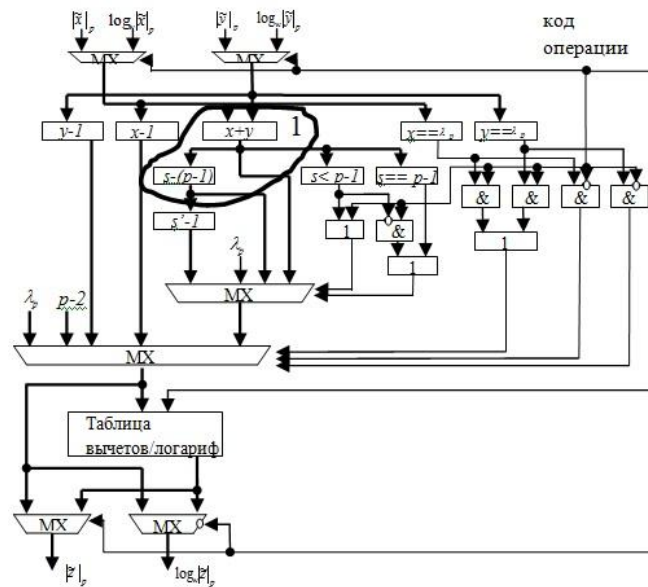


Рис. 1. Структурная схема бимодульного АУЗ по модулю  $p$

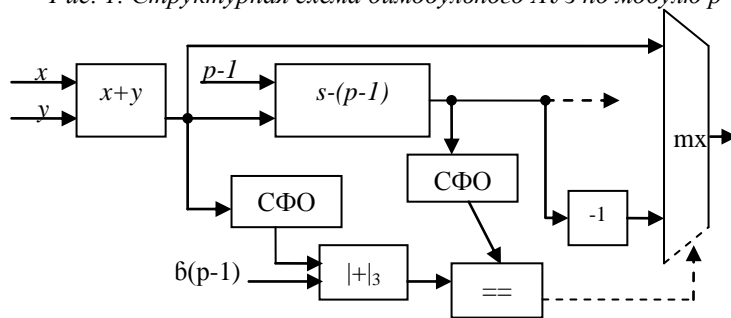


Рис. 2. Схема контроля по модулю 3

Одновременно с выполнением арифметической операции над операндами та же операция выполняется и над их контрольными кодами. Контрольный код результата основной операции сравнивается с результатом операции над контрольными кодами. Если сравнение показывает совпадение этих значений, то операция выполнена правильно. При несовпадении контрольная аппаратура фиксирует переполнение.

При применении мажорирования [10] по схеме 1+1 (рис. 3), т.е. при полном дублировании двоичных сумматоров, надёжность системы возрастает в 1,5 раза.

При таком виде контроля после двоичных сумматоров стоит детектор ошибок (ДО), фиксирующий несовпадение результатов работы основного и дублированного элемента. В случае обнаружения несовпадения данные запускаются повторно. В случае неоднократного обнаружения несовпадения запускается диагностический тест, определяющий, какой именно блок отказал.

Применение метода тройного резервирования является наиболее распространенным методом борьбы с одиночными сбоями [10]. На рис. 4 представлена часть структурной схемы бимодульного сумматора с тройным резервированием (СГ – схема голосования). Основным недостатком метода является увеличение числа однотипных узлов схемы для выполнения одной и той же функции, при этом возникающая ошибка не исправляется, и неизвестно место ее возникновения.

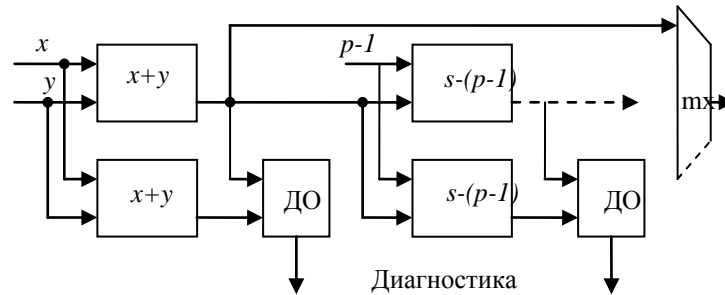


Рис. 3. Схема контроля методом дублирования

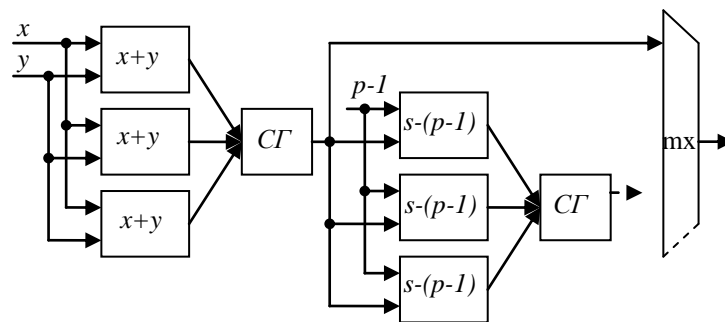


Рис. 4. Схема контроля методом тройного резервирования

**3. Моделирование, результаты сравнения методов повышения надежности АУЗ бимодульного ВЭ.** Для построения модели устройств с применением схем контроля выбран маршрут проектирования цифровых ИС на основе библиотек стандартных ячеек. В маршруте используется: поведенческое описание устройств на языке Verilog HDL; средства логического синтеза Synopsys Design Compiler; библиотека стандартных ячеек Nangate Open Cell Library с проектными нормами 45нм. Модель эксперимента построена для обнаружения и исправления одиночного сбоя в схеме. Эксперименты проводились для диапазона простых модулей битностью до 8 бит, что является достаточным для большинства задач из области применения модулярной арифметики [11]. На рис. 5 представлены сравнительные оценки занимаемой площади рассматриваемых схем с разными методами контроля относительно незащищенной схемы:

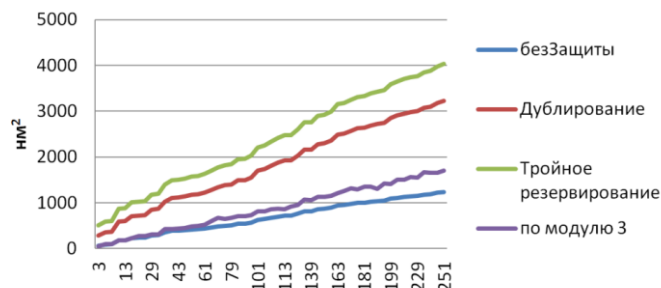


Рис. 5. Сравнение методов контроля по площади, занимаемой контрольной аппаратурой

Результаты моделирования показали следующие данные о влиянии схем контроля на производительность схемы ВЭ бимодульной арифметики: схема с контролем по модулю 3 показала потерю производительности в среднем на 35 % относительно незащищенной, схема с дублированием – на 20 %, с тройным резервированием – на 15 %.

**Заключение.** В данной работе исследованы аппаратные методы повышения надежных характеристик бимодульного АУз, входящего в состав ВЭ по модулю. Сравнительная оценка методов контроля для АУз бимодульного ВЭ позволяет отдать предпочтение аппаратному контролю с использованием дублирования. Как показали эксперименты, такой вид контроля позволяет надежно указать место сбоя и устранить их последствия, при этом теряя в производительности порядка 20 %, а затраты на дополнительное контрольное оборудование составили в среднем 57 %.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Акушский И.Я., Юдицкий Д.М.* Машинная арифметика в остаточных классах. – М.: Сов. радио, 1968. – 440 с.
2. *Щелкунова Ю.О., Калмыков М.И., Гончаров П.С., Петрова Е.В.* Разработка методики построения позиционного процессора с деградируемой структурой // Успехи современного естествознания. – 2014. – № 3. – С. 124-130.
3. *Matutino P., Pettenghi H., Chaves R. and Sousa L.* RNS arithmetic units for modulo  $\{2n \pm k\}$ , in Digital System Design (DSD), 2012 15th Euromicro Conference on, September 2012. – P. 795-802.
4. *Стемпковский А.Л., Амербаев В.М., Корнилов А.И.* Модулярная логарифметика – новые возможности для проектирования модулярных вычислителей и преобразователей (краткий обзор) // IV Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2010»: Сб. научн. тр. / Под общ. ред. А.Л. Стемпковского. – М.: ИППМ РАН, 2010.
5. *Geden B.* Understand and Avoid Electromigration (EM) & IR-drop in Custom IP Blocks // Synopsys Webinars. – 2011.
6. *Стемпковский А.Л., Амербаев В.М., Соловьев Р.А.* Вычислительный элемент модулярной арифметики. Патент РФ № 123995 от 10 января 2013 г.
7. *Амербаев В.М., Балака Е.С.* Арифметическое устройство бимодульной арифметики конечного поля GF(P) // Research Journal of International Studies XX(17). – P. 2; 5-9.
8. *Поспелов Д.А.* Арифметические основы вычислительных машин дискретного действия. – М.: Высшая школа, 1970. – 308 с.
9. *Кузьмин И.В., Бурназян Р.Г., Ковергин А.А.* Аппаратный контроль электронных цифровых вычислительных машин. – М.: Энергия, 1974.
10. *Амосов В.В.* Схемотехника и средства проектирования цифровых устройств. – СПб.: БХВ-Петербург, 2007. – 542 с.
11. *Корнилов А.И., Семенов М.Ю., Ласточкин О.В., Калашиников В.С.* Принципы построения специализированных вычислителей с применением модулярной арифметики // Проблемы разработки перспективных микроэлектронных систем – 2005. Сборник научных трудов / Под общ. ред. А.Л. Стемпковского. – М.: ИППМ РАН, 2005. – С. 346-351.

#### REFERENCES

1. *Akushskiy I.Ya., Yudietskiy D.M.* Mashinnaya arifmetika v ostatochnihkh klassakh [Machine arithmetic in residual classes]. Moscow: Sov. radio, 1968, 440 p.
2. *Shchelkunova Yu.O., Kalmykov M.I., Goncharov P.S., Petrova E.V.* Razrabotka metodiki postroeniya nepozitsionnogo proeessora s degradiruemyo strukturoy [Development of a method of a non-positional processor with degradiruiut structure], *Uspekhi sovremennogo estestvoznaniya* [The successes of modern natural Sciences], 2014, No. 3, pp. 124-130.
3. *Matutino P., Pettenghi H., Chaves R. and Sousa L.* RNS arithmetic units for modulo  $\{2n \pm k\}$ , in Digital System Design (DSD), 2012 15th Euromicro Conference on, September 2012, pp. 795-802.

4. *Stempkovskiy A.L., Amerbaev V.M., Kornilov A.I.* Modulyarnaya logarifmetika – novye vozmozhnosti dlya proektirovaniya modulyarnykh vychisliteley i preobrazovateley (kratkiy obzor) [The modular logaritmica - new opportunities for designing modular calculators and converters (brief overview)], *IV Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2010»*: Sb. nauchn. tr. [IV all-Russian scientific-technical conference "problems of development of micro- and nanoelectronic systems - 2010": Collection of scientific works]. Moscow: IPPM RAN, 2010.
5. *Geden B.* Understand and Avoid Electromigration (EM) & IR-drop in Custom IP Blocks, *Synopsys Webinars*. 2011.
6. *Stempkovskiy A.L., Amerbaev V.M., Solovov R.A.* Vychislitelnyy element modulyarnoy arifmetiki [Computing element modular arithmetic]. Patent RF No 123995 ot 10 yanvarya 2013.
7. *Amerbaev V.M., Balaka E.S.* Arifmeticheskoe ustroystvo bimodulnoy arifmetiki konechnogo polya GF(P) [The arithmetic device bimodules arithmetic of finite field GF(P)], *Research Journal of International Studies XX(17)*, pp. 2; 5-9.
8. *Pospelov D.A.* Arifmeticheskie osnovy vychislitelnykh mashin diskretnogo deystviya [Arithmetic basics of computers discrete steps]. Moscow: Vihsshaya shkola, 1970, 308 p.
9. *Kuzmin I.V., Burnazyan R.G., Kovergin A.A.* Apparatnyy kontrol elektronnykh tsifrovyykh vychislitelnykh mashin [Hardware control of electronic digital computing machines]. Moscow: Ehnergiya, 1974.
10. *Amosov V.V.* Skhemotekhnika i sredstva proektirovaniya tsifrovyykh ustroystv [Schematic and design tools of digital devices]. Saint-Petersburg: BKhV-Peterburg, 2007, 542 p.
11. *Kornilov A.I., Semenov M.Yu., Lastochkin O.V., Kalashnikov V.S.* Principy postroeniya specializirovannykh vychisliteley s primeneniem modulyarnoy arifmetiki [Principles of construction of specialized solvers using modular arithmetic], *Problemy razrabotki perspektivnykh mikroelektronnykh sistem – 2005. Sbornik nauchnykh trudov* [Problems of development of advanced microelectronic systems - 2005. Collection of scientific works]. Moscow: IPPM RAN, 2005, pp. 346-351.

Статью рекомендовал к опубликованию д.т.н., профессор Ю.Ф. Адамов.

**Амербаев Вильжан Мавлютинович** – Федеральное государственное бюджетное учреждение науки Институт проблем проектирования в микроэлектронике Российской академии наук (ИППМ РАН); e-mail: [ippm@ippm.ru](mailto:ippm@ippm.ru); 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел методологии вычислительных процедур; д.т.н; г.н.с.

**Щелоков Альберт Николаевич** – e-mail: [schan@ippm.ru](mailto:schan@ippm.ru); зам. директора; к.ф.-м.н.

**Балака Екатерина Станиславовна** – e-mail: [ssapra@hotbox.ru](mailto:ssapra@hotbox.ru); отдел методологии вычислительных процедур; м.н.с.

**Amerbaev Viljan Mavlutinovich** – The Institute for Design Problems in Microelectronics of the Russian Academy of Science (IPPM RAS); e-mail: [ippm@ippm.ru](mailto:ippm@ippm.ru); 3, Sovetskaya, Zelenograd, Moscow, 124365, Russia; phone: +74997299890; department of computing procedure methodology; chief researcher; dr. of eng. sc.

**Schelokov Albert Nikolaevich** – e-mail: [schan@ippm.ru](mailto:schan@ippm.ru); deputy director; cand. of ph.-m. sc.

**Balaka Ekaterina Stanislavovna** – e-mail: [ssapra@hotbox.ru](mailto:ssapra@hotbox.ru); department of computing procedure methodology; researcher.