

11. *Almaasali S.A., Anisimov V.I.* Postroenie raspredelennykh sistem avtomatizirovannogo proektirovaniya na osnove metodov diakoptiki [Construction of distributed systems of automated design-based methods diakoptical], *Izvestiya SPbGhTU «LEhTI»* [Proceedings of the ETU LETI], 2014, No 1, pp. 15-19.
12. *Dmitrevich G.D., Anisimov D.A.* Postroenie sistem avtomatizirovannogo proektirovaniya na osnove servis-orientirovannoy arkhitektury [Creation of systems of automated design based on service-oriented architecture], *Izvestiya SPbGhTU «LEhTI»* [Proceedings of the ETU LETI], 2014, No. 2, pp. 14-18.
13. *Kovalenko O.S., Kureychik V.M.* Obzor problem i sostoyaniy oblachnykh vychisleniy i serverov [An overview of issues and state of cloud computing and servers], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2012, No. 7 (132), pp. 146-153.

Статью рекомендовал к опубликованию д.т.н., профессор М.С. Куприянов.

Гридин Владимир Николаевич – Центр информационных технологий в проектировании РАН; e-mail: info@ditc.ras.ru; г. Одинцово, ул. маршала Бирюзова, 7а; тел.: 84955960212; д.т.н.; профессор; директор ЦИТП РАН.

Дмитревич Геннадий Данилович – Санкт-Петербургский Электротехнический университет; e-mail: gddm@inbox.ru; г. Санкт-Петербург, 2-й Муринский пр., 39, кв. 19; тел.: 84955520688; д.т.н.; профессор.

Анисимов Денис Андреевич – e-mail: anisimovdenis2009@yandex.ru; г. Санкт-Петербург, Приморский пр. 55, кв. 29; тел.: 84954300212; к.т.н.; м.н.с.

Gridin Vladimir Nikolaevich – Center for Information Technology in designing RAS; e-mail: info@ditc.ras.ru; 7a, Marshala Biryuzova street, Odintsovo, Russia; phone: +74955960212; dr. of eng. sc.; professor; director of the Russian Academy of Sciences TSITP.

Dmitrievich Gennady Danilovich – St. Petersburg Electrotechnical University; e-mail: gddm@inbox.ru; 39, 2nd Ave Murinsky, kv.19, St. Petersburg, Russia; phone: +74955520688; dr. of eng. sc.; professor.

Anisimov Denis Andreevich – e-mail: anisimovdenis2009@yandex.ru; 55, Primorsky Prospect, kv. 29, St. Petersburg, Russia; phone: +74954300212; cand. of eng. sc.; junior researcher.

УДК 621.3.049.771.14

С.В. Гаврилов, Г.А. Иванова, А.Л. Стемпковский

ТЕОРЕТИКО-ГРАФОВАЯ МОДЕЛЬ СЛОЖНО-ФУНКЦИОНАЛЬНЫХ БЛОКОВ ДЛЯ КМОП ТЕХНОЛОГИЙ С ТРЕХМЕРНОЙ СТРУКТУРОЙ ТРАНЗИСТОРА

Данная статья посвящена исследованию и разработке методов проектирования заказных сложно-функциональных блоков в базе элементов с регулярной топологической структурой в слоях поликремния и диффузии. На сегодняшний день ключевые блоки микроэлектронных систем, такие как, ядра микропроцессоров, микроконтроллеров ведущие разработчики микроэлектронной аппаратуры по-прежнему отрабатывают в полностью заказном режиме, в котором окончательный состав библиотечных элементов заранее неизвестен, и проектирование ведется на предельно низком транзисторном уровне. Однако автоматизация процесса логического и топологического синтеза для полностью заказного проектирования затруднена из-за существенного возрастания сложности задачи с увеличением степени интеграции микроэлектронных систем и уменьшением технологических размеров базовых элементов до 22 нм и ниже. В данной статье проведен сравнительный анализ существующих подходов разработки топологии FinFET структур (технология

с трехмерной структурой транзистора в форме плавника (fin)), а также сравнительный анализ этих структур с КМОП структурой. Представлены методы формирования топологической конструкции различных FinFET структур для синтеза топологии элементов с регулярной топологической структурой в слоях поликремния и диффузии.

SP-граф; сложно-функциональный блок (СФ-блок); FinFET транзисторы (транзисторы с трехмерной структурой в форме плавника); КМОП технология.

S.V. Gavrilov, G.A. Ivanova, A.L. Stempkovskiy

THEORETICAL-GRAPH MODEL OF IP-BLOCKS FOR CMOS TECHNOLOGY WITH 3D STRUCTURE OF THE TRANSISTOR

The paper is devoted to research and development of methods of designing custom IP-blocks in the basis elements with regular topological structure in layers of polysilicon and diffusion. For today the leading developers of microelectronic devices continue to work out the key modules of microelectronic systems, such as core microprocessors, microcontrollers completely custom-made in a mode in which the final composition of library elements is not known beforehand, and the design is extremely low at the transistor level. However, automation of process logic and topology synthesis for a completely custom design is difficult due to significant increase in the complexity of the problem with increasing integration of microelectronic systems and decreasing the size of the basic elements of technology to 22 nm and below. Proposed methods of the formation of topological designs of various FinFET structures for topology synthesis of elements with a regular topological structure in layers of polysilicon and diffusion.

CAD (computer-aided design); SP-DAG; Intellectual property IP-block; finFET transistor; CMOS technology.

Введение. С увеличением степени интеграции микроэлектронных систем и уменьшением технологических размеров базовых элементов до 45 нм и ниже в значительной степени усложнились технологические правила и нормы проектирования. Количество правил проектирования для технологий с размерами транзистора 32 нм и ниже составляет несколько тысяч ограничений. Соблюдение полного набора правил и норм проектирования в автоматическом режиме становится невозможным при использовании существующих подходов к решению задач логического и топологического синтеза. Это ведет к необходимости большого объема ручной работы с редактированием схемы и топологии на заключительном этапе верификации проекта в целом.

В полностью заказном режиме окончательный состав библиотечных элементов заранее неизвестен, и проектирование ведется на предельно низком транзисторном уровне. Это обусловлено двумя аспектами. Во-первых, очевидно, что переход от полузаказного к полностью заказному проектированию с отказом от ограничений библиотеки ведет к появлению большего числа степеней свободы и способен обеспечить достижение лучших значений характеристик схемы по площади, быстродействию и потребляемой мощности по сравнению с полузаказным проектированием. Во-вторых, автоматические средства синтеза в полузаказном маршруте не способны обеспечить соблюдения полного набора из нескольких тысяч технологических норм, правил и ограничений. Обеспечивается лишь соблюдение основных ограничений (ширина, зазор, перекрытие и т.п.), а для выполнения полного набора ограничений приходится использовать средства ручного редактирования.

Переход к использованию регулярных структур в нижних слоях топологии позволяет решить проблемы возрастающего числа проектных норм для технологий 22 нм и ниже. Исторически регулярность топологии в нижних слоях связывают с так называемой технологией базовых матричных кристаллов (БМК) однако с предопределенным набором библиотечных элементов. Применение аналогичного подхода при проектировании заказных сложно-функциональных блоков позволяет значительно упростить проверку правил проектирования при разработке общего вида топологии.

В работах компании Intel для соблюдения требований регулярности в маршруте заказного проектирования предлагается подход к проектированию регулярных топологических структур с использованием конструкции специального типа – так называемого транзисторного шаблона [1]. Транзисторный шаблон определяется как промежуточная конструкция между транзистором и стандартной ячейкой [1].

Данная работа представляет собой дальнейшее развитие идеи использования регулярности топологических структур в маршруте заказного проектирования по следующим основным направлениям:

1) предлагается согласованное решение проблем синтеза схемы и топологии на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-граф) с независимым анализом цепей земли (pull-down) и питания (pull-up);

2) предлагаются анализ и методы формирования регулярных шаблонов для новой технологии, получившей название FinFET (технология с трехмерным затвором транзистора в форме плавника (fin)).

1. FinFET транзисторы. FinFET транзисторы – это новое направление в проектировании микросхем, за счет использования трехмерного затвора транзистора в форме плавника повышается эффективная ширина затвора при сходной площади логической ячейки. В последнее время появился ряд публикаций связанных с проектированием на основе FinFET транзисторов.

Известны три основных конструкции FinFET структур [2]:

1) SG (Shorted-Gate) или TG (Tri-gate) FinFET, затворы транзистора соединены друг с другом.

2) IG (Independent-Gate) или DG (Double-Gate) FinFET, затворы транзистора независимы (на каждый затвор подается свой сигнал).

3) LP (Low Power) FinFET, второй затвор (back-gate) транзистора подключен к обратно смещенному напряжению для уменьшения статической мощности.

Использование FinFET-транзисторов для разработки набора базовых блоков для создания регулярной топологии приведено в работе [3], где рассмотрены два типа конструкций FinFET: SG-FinFET и IG-FinFET.

В работах [4] и [5] можно найти возможные эскизы топологии FinFET-транзисторов и базовых логических элементов, таких как NOT, NOR2 и 2xNOR2. Вместе с тем на сегодняшний день проектирование на основе FinFET-транзисторов осуществляется на основе ограниченного набора библиотечных элементов, отсутствуют средства синтеза сложносоставных элементов, поэтому возникает необходимость самостоятельной разработки принципов создания топологии FinFET-структур для маршрута заказного проектирования с регулярными структурами.

На рис. 1,а приведена простая структура SG (Shorted-Gate) FinFET транзистора. Структура состоит из “плавника” (fin), т.е. из области диффузии для стока и истока, которая окружена затвором. Физические размеры транзистора описываются высотой плавника h_{FIN} , толщиной плавника (или кремния) T_{Si} и длиной канала L_{FIN} [6].

Так как верхняя часть затвора отделена от плавника сравнительно толстым слоем окисла, вклад этой части затвора в работу транзистора можно не учитывать [7]. У такого транзистора длина канала L_{FIN} , а ширина – W_{min} (1).

$$W_{min} \approx 2 \cdot h_{FIN} \quad (1)$$

На рис. 1,б приведена структура IG (Independent-Gate) FinFET транзистора, которую можно получить путем удаления верхней части затвора обычного SG-FinFET транзистора [8].

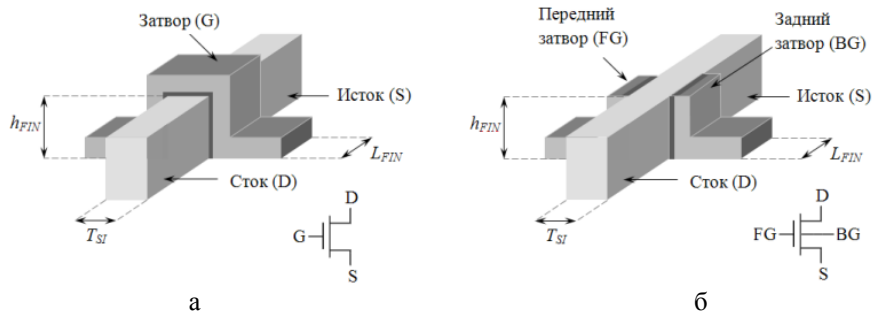


Рис. 1. Структура транзистора SG-FinFET (а), IG-FinFET (б)

Затворы IG-FinFET транзистора независимы, это позволяет использовать один из затворов (back-gate) для обратного смещения транзистора, что дает возможность управлять пороговым напряжением этого транзистора, тем самым утечками и задержками транзистора [9]. Часто второй затвор подключают к самому низкому (или высокому) потенциалу для получения маломощных схем – LP (Low Power) FinFET. Независимость затворов IG-FinFET структур также дает возможность образовать параллельно подключенные транзисторы, ширина каждого из которых $W_{min}=h_{FIN}$ [10].

Если соединить затворы IG-FinFET транзистора, можно получить транзистор с шириной W_{min} согласно формуле (1), но это приведет к увеличению площади транзистора, так как контакт ко второму затвору требует определенного места и соблюдения правил проектирования [11].

Минимальная ширина FinFET-транзисторов равна W_{min} , из чего следует, что для получения ширины W , которая больше, чем W_{min} , нужно подключить N_{FIT} транзисторов параллельно [12].

$$N_{FIT} = W/W_{min} \cdot \quad (2)$$

Так как N_{FIT} обычно должно быть целым, то получается, что ширина транзистора кратна W_{min} .

2. Разработка топологии FinFET структур. В рамках данной работы был проведен сравнительный анализ топологий разных ячеек с технологическими нормами 45нм. На основе имеющихся данных делается прогноз о проектировании топологии для перспективных технологий с технологическими размерами 22 и 16 нм.

На рис. 2 приведены двухвходовые ячейки ИЛИ-НЕ с одинаковой нагрузочной способностью. Можно заметить, что по сравнению со структурой bulk CMOS, SG-FinFET структура меньше за счет высоты ячейки.

В случае IG-FinFET структуры, контакты ко вторым затворам требуют определенного места. Как можно заметить из рис. 2 IG-FinFET структура больше не только по высоте, но и по ширине, к тому же, из-за сложности трассировки первым металлом приходится использовать второй металл, что усложняет трассировку на более высоком уровне металлизации.

Свойства IG-FinFET структур довольно интересны и многообещающе, особенно с точки зрения управления утечками и уменьшения задержек транзистора, но нужно учитывать, что при той же площади нагрузочная способность ячеек падает в два раза. На рис. 2 приведены наиболее часто используемые IG-FinFET структуры топологии [9, 10] ячейки ИЛИ-НЕ.

3. Разработка FinFET регулярных структур в слоях поликремния и диффузии. В данном разделе предпринята попытка разработки регулярного шаблона в слоях поликремния и диффузии для FinFET технологии.

Использование шаблонов при построении логических элементов является одним из подходов к проектированию схем с регулярной топологией.

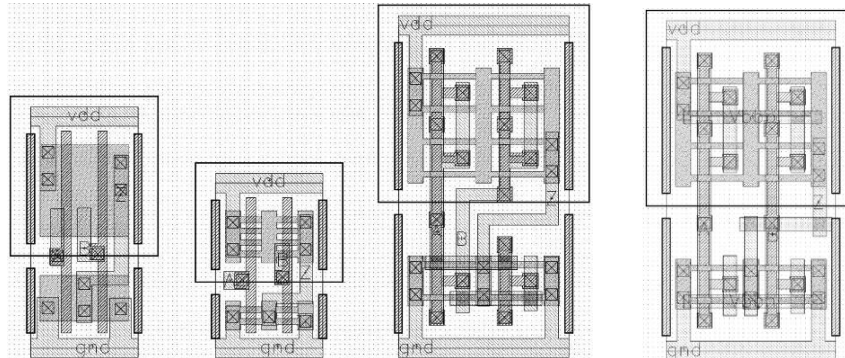


Рис. 2. Ячейка двухвходового ИЛИ-НЕ (слева направо): bulk CMOS структура, SG-FinFET структура, IG-FinFET структура, LP-FinFET структура

На рис. 3 представлено сравнение обычной SG-FinFET структуры стандартной ячейки ИЛИ-НЕ (слева) с предлагаемой регулярной SG-FinFET структурой на основе шаблона (справа).

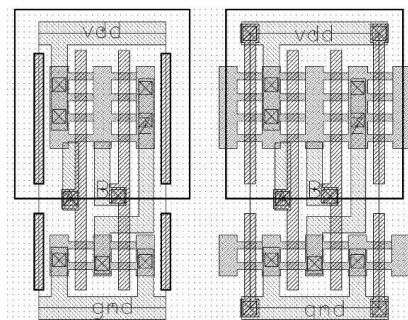


Рис. 3. Ячейка двухвходового ИЛИ-НЕ: SG-FinFET структура стандартной ячейки (слева), регулярная SG-FinFET структура (справа)

Особенность шаблона в том, что объединив множество таких же шаблонов, можно получить регулярность по слоям поликремния и диффузии (рис. 4).

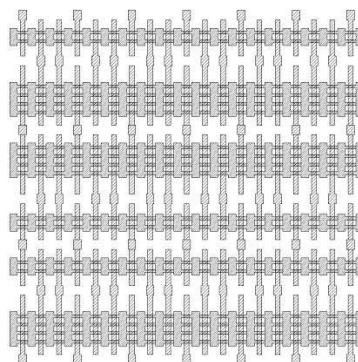


Рис. 4. Регулярная структура рядом стоящих ячеек по слоям диффузии и поликремния

В регулярной структуре присутствуют изолирующие затворы, которые подключены к шинам питания, следовательно, всегда закрыты. Между изолирующими затворами два функциональных затвора, как и в стандартной ячейке. По сравнению со структурой стандартной ячейки, в регулярной структуре ничего не меняется, кроме того, что слои диффузии выходят за пределы ячеек и появляются изолирующие затворы.

Однако, если стандартные ячейки позволяют менять размеры ячейки на кратные шаги сетки, а также менять количество подключений к затворам внутри ячейки, то в регулярной структуре количество подключений к затворам фиксировано, и ячейки должны быть кратны размерам самой маленькой ячейки. В нашем случае самые маленькие блоки – это двухвходовые, в которых можно реализовать такие элементы как ИЛИ-НЕ, И-НЕ, буфер, инвертор.

Итак, для реализации трехвходовых регулярных структур, как например И-ИЛИ-НЕ21 (АОИ21), понадобится ячейка вдвое больше (рис. 5).

Из рис. 5 можно заметить, что один из входов будет подключен к транзистору, размеры которого в два раза больше, чем размеры остальных, или один затвор останется в плавающем (floating) состоянии, что не рекомендуется. Получается, что в таких регулярных структурах сложнее получить нужную нагрузочную способность, чем в стандартных ячейках, но, как было сказано выше, автоматизировать проектирование такой структуры гораздо легче.

Стоит отметить, что, если уйти от вентиляльной структуры к заказной, то можно обеспечить нужную нагрузочную способность, сэкономив площадь и улучшив быстродействие, однако при этом усложняется задача трассировки.

Итак, имея схематическое представление схемы на уровне транзисторов, с помощью программного обеспечения можно на регулярной структуре получить топологию нужной схемы по определенным шаблонам и алгоритму синтеза.

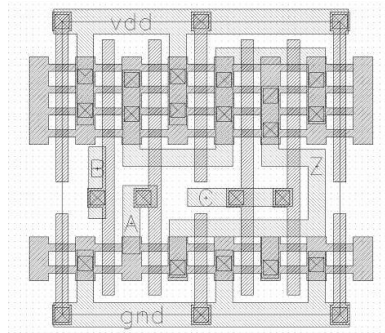


Рис. 5. Регулярная структура трехвходового И-ИЛИ-НЕ21

4. Математические модели логических элементов. Отличительная особенность предлагаемого подхода состоит в независимом синтезе pull-up и pull-down цепей с использованием графа вложенности последовательно-параллельных структур (SP-граф) [13]. Это обеспечивает дополнительные степени свободы для достижения требуемых значений характеристик схемы по площади, быстродействию и потребляемой мощности по сравнению со стандартными подходами на основе предопределенных библиотек элементов.

Граф вложенности последовательно-параллельных структур (SP-граф) определяется как бинарный ориентированный упорядоченный ациклический граф $G = (V, E)$, где каждая вершина из множества V описывает логическую функцию, а каждая дуга в множестве E , исходящая из вершины, описывает ссылки на аргументы соответствующей функции. Рассматриваются функции пяти типов для це-

почки от узла земли (pull-down), а именно, конъюнкция ($f(a,b) = a \& b$) – для последовательного соединения внутри вентиля, дизъюнкция ($f(a,b) = a + b$) для параллельного соединения внутри вентиля, отрицание ($f(a) = \sim a$), функция конъюнкции с отрицанием (NAND) ($f(a,b) = \sim(a \& b)$) – для последовательного соединения на выходе вентиля, функция дизъюнкции с отрицанием (NOR) ($f(a,b) = \sim(a + b)$) – для параллельного соединения на выходе вентиля.

Таким образом, граф описывает композицию логических функций. Вершины соответствуют логическим функциям. Дуги описывают подстановку аргументов для функции, соответствующей вершине, из которой эти дуги исходят.

Стоит отметить, что одной и той же топологии логического элемента может соответствовать более одного SP-графа. Для взаимно однозначного соответствия SP-графа и топологии логического элемента вводятся дополнительные правила. Для устранения дубликатов вводится правило, что в SP-графе логическая функция в вершине не должна повторять логическую функцию её правого потомка. Если затвор, на который подается сигнал a , топологии располагается правее затвора на который подается сигнал b , то на SP-графе a будет правее b .

Пример SP-графа схемы И-ИЛИ-НЕ21 (см. рис. 5) представлен на рис. 6.

Благодаря обобщенной графовой модели, появляется возможность разработки эффективного алгоритма структурной оптимизации. При этом, с одной стороны, сохраняется большее число степеней свободы за счет логического аспекта (т.е. булевой формы графа), с другой стороны, появляется нужная точность задержек, мощности и площади за счет структурной интерпретации на транзисторном уровне.

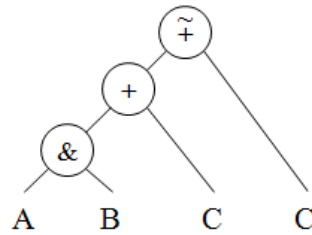


Рис. 6. SP-граф схем с И-ИЛИ-НЕ21

Заключение. В данной работе предложено согласованное решение проблем синтеза схемы и топологии на основе модели компонент в форме графа вложенности последовательно-параллельных структур (SP-граф) с независимым анализом цепей земли (pull-down) и питания (pull-up). Исследованы варианты топологического представления логических элементов на FinFET транзисторах. Разработан регулярный шаблон для отображения SP-структуры на FinFET транзисторах.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Талалай М.С., Трушин К.В., Венгер О.В. Логический синтез комбинационных схем на основе транзисторных шаблонов с регулярной топологией // Информационные технологии. – 2011. – № 4 (176). – С. 2-7.
2. Muttreja A., Agarwal N., Jha N.K. CMOS Logic Design with Independent-gate FinFETs // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2007. – P. 560-567.
3. Meinhardt C., Reis R. FinFET Basic Cells Evaluation for Regular Layouts // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2013. – P. 1-4.
4. Mishra P., Muttreja A., Jha N.K. FinFET Circuit Design // Springer Science+Business Media LLC. – 2011. – P. 23-54.
5. Datta A., Goel A., Cakici R.T. Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2007. – P. 1957-1966.

6. Huang X., Lee W.-C., Kuo C., Hisamoto D. Sub 50-nm FinFET: PFET // *Tech. Dig. IEDM*, Washington, DC, 1999. – P. 67-70.
7. Collinge J. P. *FinFETs and Other Multi-Gate Transistors* // New York: Springer. – 2008.
8. Liu Y.X., Matsukawa T., Endo K., Masahara M. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses // *IEEE Electron Device Lett.* – 2007. – Vol. 28, № 6. – P. 517-519.
9. Agostinelli M., Alioto M., Esseni D., Selmi L. Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology // *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.* – 2010. – Vol. 18, № 2. – P 232-245.
10. Tawfik S.A., Kursun V. Low-power and compact sequential circuits with independent-gate FinFETs // *IEEE Trans. Electron Devices.* – 2008. – Vol. 55, № 1. – P. 60-70.
11. Cakici R T., Roy K. Analysis of options in double-gate MOS technology: A circuit perspective // *IEEE Trans. Electron Devices.* – 2007. – Vol. 54, № 12. – P 3361-3368.
12. Anil K.G, Henson K., Biesemans S., Collaert N. Layout density analysis of FinFET // *Proc. ESSDERC.* 2003. – P. 139-142.
13. Гаврилов С.В., Гудкова О.Н., Щелочков А.Н. Логико-временной анализ нанометровых схем на основе интервального подхода // *Известия ЮФУ. Технические науки.* – 2012. – № 7 (132). – С. 85-91.

REFERENCES

1. Talalay M.S., Trushin K.V., Venger O.V. Logicheskiy sintez kombinatsionnykh skhem na osnove tranzistornykh shablonov s regul'yarnoy topologiyey [Logic synthesis of combinational circuits based on the transistor templates with regular topology], *Informatsionniye tekhnologii* [Information technologies], 2011, No. 4 (176), pp. 2-7.
2. Muttreja A., Agarwal N., Jha N.K. CMOS Logic Design with Independent-gate FinFETs, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2007, pp. 560-567.
3. Meinhardt C., Reis R. FinFET Basic Cells Evaluation for Regular Layouts, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2013, pp. 1-4.
4. Mishra P., Muttreja A., Jha N.K. FinFET Circuit Design, *Springer Science+Business Media LLC*, 2011, pp. 23-54.
5. Datta A., Goel A., Cakici R.T. Modeling and Circuit Synthesis for Independently Controlled Double Gate FinFET Devices, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 2007, pp. 1957-1966.
6. Huang X., Lee W.-C., Kuo C., Hisamoto D. Sub 50-nm FinFET: PFET, *Tech. Dig. IEDM*, Washington, DC, 1999, pp. 67-70.
7. Collinge J.P. *FinFETs and Other Multi-Gate Transistors*. New York: Springer, 2008.
8. Liu Y.X., Matsukawa T., Endo K., Masahara M. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses, *IEEE Electron Device Lett*, 2007, Vol. 28, No. 6, pp. 517-519.
9. Agostinelli M., Alioto M., Esseni D., Selmi L. Leakage-delay tradeoff in FinFET logic circuits: A comparative analysis with bulk technology, *IEEE Trans. Very Large Scale Integr. (VLSI) Syst*, 2010, Vol. 18, No. 2, pp 232-245.
10. Tawfik S.A., Kursun V. Low-power and compact sequential circuits with independent-gate FinFETs, *IEEE Trans. Electron Devices*, 2008, Vol. 55, No. 1, pp. 60-70.
11. Cakici R T., Roy K. Analysis of options in double-gate MOS technology: A circuit perspective, *IEEE Trans. Electron Devices*, 2007. Vol. 54, No. 12, pp. 3361-3368.
12. Anil K.G, Henson K., Biesemans S., Collaert N. Layout density analysis of FinFET, *Proc. ESSDERC*, 2003, pp. 139-142.
13. Gavrilov S.V., Gudkova O.N., Shchelokov A.N. Logiko-vremennoy analiz nanometrovykh skhem na osnove intervalnogo podkhoda [Logic-temporal analysis of nanometer circuits based interval approach], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2012, No. 7 (132), pp. 85-91.

Статью рекомендовал к опубликованию д.т.н., профессор Ю.Ф. Адамов.

Гаврилов Сергей Витальевич – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey_g@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; профессор; зав. отделом.

Иванова Галина Александровна – e-mail: pirutina_g@ippm.ru; отдел автоматизации проектирования цифровых схем; м.н.с.

Стемпковский Александр Леонидович – e-mail: stal09@ippm.ru; директор; профессор; академик РАН.

Gavrilov Sergey Vitalievich – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: sergey_g@ippm.ru; 3, Sovetskaya street, Zelenograd, 124681, Russia; phone: +74997299890; the department of automation of the design of digital circuits; professor; head of department.

Ivanova Galina Aleksandrovna – e-mail: pirutina_g@ippm.ru; junior research scientist.

Stempkovskiy Aleksandr Leonidovich – e-mail: stal09@ippm.ru; director; professor; academician of RAS.

УДК 621.3.049.771.14

С.В. Гаврилов, Д.И. Рыжова, А.Л. Стемпковский

МЕТОДЫ ПОВЫШЕНИЯ ТОЧНОСТИ ОЦЕНКИ ПИКОВОГО ТОКА НА ЛОГИЧЕСКОМ УРОВНЕ НА ОСНОВЕ АНАЛИЗА ЛОГИЧЕСКИХ КОРРЕЛЯЦИЙ

С уменьшением технологических норм возрастают проблемы, для решения которых необходим анализ пикового тока в цепях питания, а именно резкое изменение напряжения в цепях питания (IR-drop), выбор ширины шин питания. Существующие подходы к оценке пикового тока делятся на два типа. Нижнюю и наиболее точную оценку дают методы анализа тестовых последовательностей. С другой стороны, методы суммирования максимальных токов для каждого блока схемы позволяют получить верхнюю оценку. Однако методы первого типа не могут обеспечить полноту тестового покрытия для схем с большим числом внешних входов, а методы поиска верхней оценки не гарантируют достоверность результата, так как не учитывают вариации параметров и логику работы схемы. Предлагается метод, обеспечивающий существенное по сравнению с другими известными подходами повышение точности оценки пикового тока, с учетом одновременного переключения нескольких входов вентиля, на основе анализа распространения логических ограничений в КМОП-схеме.

Статический временной анализ; сложно-функциональный блок; логические корреляции; анализ пикового тока.

S.V. Gavrilov, D.I. Ryzhova, A.L. Stempkovskiy

METHODS FOR INCREASING ACCURACY OF PEAK CURRENT ESTIMATION AT THE LOGICAL LEVEL BASED ON LOGIC CORRELATION ANALYSIS

With scaling problems for which decision analysis of peak current in the supply buses is required, are increasing - voltage drop in the supply buses (IR-drop), the choice of the supply buses width. There are two types of approaches for peak current estimation. Methods of test pattern analysis give lower and more accurate estimate. On the other hand, the methods for summing the maximum current for each circuit block allow obtaining an upper bound. However methods of first type do not provide reliability and completeness of test coverage to design circuits with a large