

**Schelokov Albert Nikolaevich** – The Institute for Design Problems in Microelectronics (IPPM RAS); e-mail: schan@ippm.ru; 3, Sovetskaya street, Zelenograd, 124681, Russia; phone: +74997299890; deputy director; cand. of phis.-math. sc.

**Balaka Ekaterina Stanislavovna** – e-mail: balakaes@yandex.ru; phone: +79067389568; researcher.

УДК 621.3.049.771.14

**С.В. Гаврилов, Г.А. Иванова, А.Н. Соловьев, А.Л. Стемпковский**

**ОПТИМИЗАЦИЯ СХЕМ КОДИРОВАНИЯ НА ОСНОВЕ ВЫБОРА  
ВАРИАНТА КОММУТАЦИЙ С УЧЕТОМ ЛОГИЧЕСКИХ КОРРЕЛЯЦИЙ  
МЕЖДУ ВЫХОДАМИ КОМБИНАЦИОННОЙ СХЕМЫ\***

*Данная статья посвящена исследованию и разработке методов повышения помехозащищенности микросхем. По мере роста степени интеграции и уменьшения технологических размеров возрастает роль повышения надежности и помехоустойчивости проектируемых устройств под воздействием различных источников помех и сбоев: технологических, радиационных, перекрестных помех, деградации во времени, скачков напряжения питания и др. В настоящее время складывается ситуация, когда фактор помехоустойчивости в микроэлектронике становится определяющим условием работоспособности и надежности разрабатываемой электронной аппаратуры. При этом одни из ключевых компонентов – комбинационные схемы. Поэтому актуальным является исследование и разработка методов повышения отказоустойчивости микросхем. Для обеспечения необходимого уровня помехозащищенности (обнаружение ошибок с заданной степенью кратности) для синтеза схемы кодирования предлагается использовать операцию деления на образующий многочлен в двоичном поле Галуа. Предлагается оптимизация схем кодирования за счет выбора варианта коммутирования выходов дубликата основной схемы на основе результатов анализа логических корреляций.*

*Помехоустойчивость; упорядоченные диаграммы двоичных решений; поля Галуа.*

**S.V. Gavrilo, G.A. Ivanova, A.N. Soloviev, A.L. Stempkovskiy**

**OPTIMIZATION OF CODER CIRCUIT BASED ON THE VARIANT  
COMMUTATIONS SELECTION WITH ACCOUNT FOR LOGIC  
CORRELATION BETWEEN THE OUTPUTS OF THE COMBINATIONAL  
CIRCUIT**

*This article is dedicated to research and develop methods for increasing the microelectronic circuits' noise immunity. The role of improving the reliability and noise immunity of designed devices under the influence of various sources of interference and disruption is increases. At present time, the noise immunity factor in microelectronics is becoming critical condition of reliability and working capacity of the developed electronic equipment. Thus one of the key components are combinational circuits. Therefore, research and development of methods for noise immunity improving of microelectronic combinational circuits is actual problem. The operation of division by the polynomial generator in binary Galois field is proposed to use to ensure the necessary level of noise immunity (error detection with a predetermined degree of multiplicity) for the synthesis of the coder circuit. Optimization of coder circuit is proposed by choosing variant of outputs commutation basic circuit duplicate based on the results of logical correlations analysis.*

*Noise tolerance; binary decision diagram (BDD); Galois field.*

---

\* Работа выполнена при поддержке РФФИ (проект № 15-07-02065).

**Введение.** По мере роста степени интеграции и уменьшения технологических размеров возрастает роль повышения надежности и отказоустойчивости комбинационных схем под воздействием различных источников помех и сбоев [1–4]. Несмотря на бурное развитие современных технологий, для обеспечения требуемой отказоустойчивости микросистем в основном используются широко известные методы многократного дублирования [5], ведущие часто к неоправданной избыточности. Поэтому актуальной задачей является разработка концептуальных основ и методов построения микросистем, обеспечивающих достижение требуемой надежности функционирования за счет введения управляемой структурной избыточности [6, 7].

В основе предлагаемой методики лежит новый подход в проектировании отказоустойчивых комбинационных схем, основанный на синтезе схем защиты в базе конечных полей Галуа (GF) с булевыми коэффициентами. Это обеспечивает возможность оптимального сочетания требований к минимизации аппаратных затрат и обеспечению требуемого (заданного) уровня отказоустойчивости. В качестве концептуальной основы реализации схемы защиты предложено разделение выходного вектора (результатов работы комбинационной схемы) на подмножества разрешенных и запрещенных кодовых комбинаций, формируемых путем добавления к выходному вектору (имеющему размерность  $k$ ) проверочного вектора (имеющего размерность  $r$ ). При этом процедурой формирования проверочного вектора (контрольных разрядов), а также принадлежностью текущего вектора к разрешенным или запрещенным кодовым комбинациям является процедура деления данных кодовых комбинаций на двоичный многочлен  $G(x)$ , принадлежащий двоичным полям Галуа. В основе данного подхода лежат корректирующие свойства схемы декодирования, позволяющей обнаружить ошибки, возникающие в схеме кодирования. При этом корректирующие способности оцениваются как  $2^r$ .

На основе оценки корректирующих свойств схемы кодирования был предложен вариант объединения исходной схемы со схемой кодирования, обеспечивающий поиск итогового оптимального решения (по критерию «минимизация структурных затрат» при заданной корректирующей способности). При этом объединение схемы кодирования с исходной схемой не уменьшает корректирующих способностей итоговой схемы, позволяя для ряда случаев получить сокращение структурных затрат.

**1. Синтез схемы защиты.** В рамках данной работы предложен алгоритм структурного синтеза схемы контроля для произвольной комбинационной схемы, зависящий от выбора образующего многочлена  $G(x)$ , размерности выходного вектора (числа информационных разрядов  $k$ ) и схемы коммутации, обеспечивающей формирование соответствия между выходом исходной схемы и входом синтезируемой схемы контроля. Структура разработанного алгоритма синтеза описана ниже.

Для описания синтеза схемы контроля будут использоваться следующие обозначения:

$g^r(x)$  – образующий многочлен;

$r$  – степень образующего многочлена;

$y$  – вектор выходных сигналов комбинационной схемы  $y = y_1, \dots, y_i, \dots, y_k$ , где  $k$  – количество выходов;

$z$  – вектор выходных сигналов схемы контроля  $z = z_1, \dots, z_r$ ;

$ZM$  – матрица остатков от деления вектора выходных сигналов на образующий многочлен;

$y'$  – вектор, состоящий из вектора выходных сигналов схемы  $y$  и вектора выходов схемы контроля  $z = z_1, \dots, z_r$ ;

$z'$  – вектор выходных сигналов схемы декодирования  $z' = z'_1, \dots, z'_r$ .

Основная идея предлагаемого метода повышения надежности и отказоустойчивости комбинационных схем состоит в том, чтобы «свернуть» вектор выходных сигналов комбинационной схемы  $y_1, \dots, y_i, \dots, y_k$ , где  $k$  – количество выходов и получить итоговую сигнатурную свертку:  $z'_1, \dots, z'_r$ , где  $r$  – длина (число двоичных разрядов) итоговой сигнатуры.

В качестве примера рассмотрим синтез схемы контроля для случая:

- ◆ комбинационная схема с 5-ю выходами:  $y_1, \dots, y_5$ .
- ◆ в качестве образующего выбран примитивный многочлен  $g^3(x)=x^3+x+1$ . При этом остаток от деления  $y$  на полином 3-й степени  $G(x)$  имеет 3 разряда и будет обозначаться как  $z'_1, \dots, z'_3$ .

Функциональная схема деления вектора, состоящего из вектора выходных сигналов схемы и вектора выходов схемы контроля  $y_1, \dots, y_5, z_1, \dots, z_3$ , на образующий многочлен  $g^3(x)=x^3+x+1$  и формирования остатков  $z'_1, \dots, z'_3$  показана ниже на рис. 1. При этом знак  $\oplus$  обозначает суммирование по модулю 2.

$$\begin{array}{r}
 \begin{array}{ccccccccc|cccc}
 y_1 & y_2 & y_3 & y_4 & y_5 & z_1 & z_2 & z_3 & & 1 & 0 & 1 & 1 \\
 y_1 & 0 & y_1 & y_1 & & & & & & y_1 & A1 & B1 & C1 & D1 \\
 \oplus & A1 & A2 & A3 & y_5 & & & & & & & & & \\
 & A1 & 0 & A1 & A1 & & & & & & & & & \\
 \oplus & & B1 & B2 & B3 & z_1 & & & & & & & & \\
 & & B1 & 0 & B1 & B1 & & & & & & & & \\
 \oplus & & & C1 & C2 & C3 & z_2 & & & & & & & \\
 & & & C1 & 0 & C1 & C1 & & & & & & & \\
 \oplus & & & & D1 & D2 & D3 & z_3 & & & & & & \\
 & & & & D1 & 0 & D1 & D1 & & & & & & \\
 & & & & E1 & E2 & E3 & & & & & & & 
 \end{array}
 \end{array}$$

Рис. 1. Функциональная схема деления выходного вектора на образующий полином  $g(x)$

Рассмотрим формирование остатка  $E1, E2, E3$  от деления вектора  $y_1, \dots, y_5, z_1, \dots, z_3$  на образующий полином  $g^3(x)=x^3+x+1$ . При делении вектора  $y_1, \dots, y_5, z_1, \dots, z_3$  на образующий полином формируются следующие промежуточные остатки, представленные на рис.1:

$$\begin{aligned}
 A1, A2, A3 &\Rightarrow A1=y_2; A2=y_1 \oplus y_3; A3=y_1 \oplus y_4; \\
 B1, B2, B3 &\Rightarrow B1=y_1 \oplus y_3; B2=y_1 \oplus y_2 \oplus y_4; B3=y_2 \oplus y_5; \\
 C1, C2, C3 &\Rightarrow C1=y_1 \oplus y_2 \oplus y_4; C2=y_1 \oplus y_2 \oplus y_3 \oplus y_5; C3=y_1 \oplus y_3 \oplus z_1; \\
 D1, D2, D3 &\Rightarrow D1=y_1 \oplus y_2 \oplus y_3 \oplus y_5; D2=y_2 \oplus y_3 \oplus y_4 \oplus z_1; \\
 &D3=y_1 \oplus y_2 \oplus y_4 \oplus z_2; \\
 E1, E2, E3 &\Rightarrow E1=y_2 \oplus y_3 \oplus y_4 \oplus z_1; E2=y_3 \oplus y_4 \oplus y_5 \oplus z_2; \\
 &E3=y_1 \oplus y_2 \oplus y_3 \oplus y_5 \oplus z_3.
 \end{aligned}$$

**2. Суперпозиция с помощью BDD.** В качестве одного из инструментов для эффективного построения схем защиты предложен модифицированный метод преобразования булевых функций на основе упорядоченных диаграмм двоичных решений (BDD) [8–12]. В целях повышения эффективности процедуры построения схем защиты, разработаны алгоритмы генерации схемы кодирования на основе модифицированных диаграмм двоичных решений (BDD). Стандартная модель BDD расширена дополнительным аппаратом поиска эквивалентных фрагментов на основе сбалансированного двоичного дерева.

Оптимизация проводится для схем кодирования за счет совместной оптимизации дублирующей схемы и кодирующей схемы. Одним из путей оптимизации схемы является построение логических функций на основе применения аппарата BDD. Предлагаемое при этом использование синтеза булевых функций в конечных полях Галуа на основе редуцированных диаграмм двоичных решений (ROBDD) позволяет снять существующее в настоящее время ограничение на размерность проектируемых комбинационных схем (число входов и выходов). Применение методики ре-синтеза полученных решений за счет учета базиса конечных полей Галуа (преобразований по модулю 2) обеспечивает достижение оптимального

структурного решения. Использование предлагаемой методики обеспечивает управляемость и предсказуемость процесса проектирования схем при достижении оптимального сочетания заданных требований по отказоустойчивости и минимизации структурных затрат.

Проведенные исследования показали, что на качество результата в терминах занимаемой площади существенное влияние оказывает не только переупорядочивание входов, как в случае стандартной BDD, но и порядок коммутации выходов в схеме кодирования.

**3. Учет логических корреляций.** Для выбора оптимального варианта коммутации предлагается использовать оценочную функцию, вычисленную на основе расчета взаимных корреляций между выходами [13–18]. Для демонстрации предлагаемого подхода рассмотрим схему, изображенную на рис. 2.

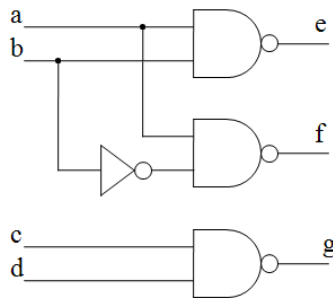


Рис. 2. Пример логической схемы с корреляциями между выходами  $e$  и  $f$

Схема (рис. 2) имеет три выхода, если в качестве образующего полинома выбрать полином второй степени  $(x^2+x+1)$ , то кодирования схема будет выглядеть следующим образом:

$$y = x_1 \oplus x_2;$$

$$z = x_2 \oplus x_3,$$

где  $\oplus$  – сложение по модулю два.

Существует  $N!$  вариантов коммутации выходов комбинационной схемы и входов схемы кодирования, где  $N$  – число выходов. Для комбинационной схемы с тремя выходами, число комбинаций равно 6. Если рассмотреть полученную схему кодирования, можно заметить, что от перестановки  $x_1$  и  $x_3$  местами результат не изменится, т.е. из 6-ти возможных комбинаций остается 3:

$$1) \quad x_1=e, x_2=f, x_3=g;$$

$$2) \quad x_1=f, x_2=g, x_3=e;$$

$$3) \quad x_1=g, x_2=e, x_3=f.$$

От выбора коммутирования зависит размер схемы контроля. Варианты BDD схемы контроля для схемы, взятой в качестве примера, изображены на рис. 3. BDD, изображенная на рис. 3,а, соответствует первому варианту коммутации, рис. 3,б – соответствует второму варианту и рис. 3,в – соответствует третьему варианту. Из рисунка видно, что в первом и третьем случаях количество промежуточных узлов равно 4, во втором 6.

У комбинационной схемы может быть десятки или сотни выходов, перебор всех возможных вариантов коммутаций выходов неосуществим. Для выбора оптимального варианта коммутации предлагается учитывать логические корреляции между выходами. В данном примере существуют логические корреляции между выходами  $e$  и  $f$ . Для снижения структурных затрат при синтезе схемы контроля выходы, имеющие корреляции, должны входить в одно выражение.

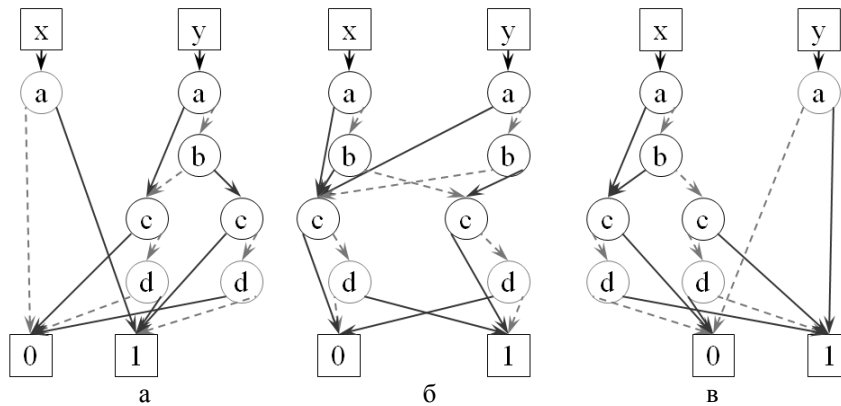


Рис. 3. Варианты BDD-схемы кодирования, построенной для схемы изображенной на рис. 2

Для поиска логических корреляций между выходами можно воспользоваться методом распространения логических корреляций на основе правила резолюций.

Метод резолюций – это метод вывода новых булевых соотношений из заданного множества булевых соотношений [19, 20].

Пусть задана пара  $(V, R)$ , где  $V = \{a, b, \dots\}$  – множество булевых переменных; а  $R$  – множество булевых соотношений типа  $A=B$ ;  $A, B$  – выражения на множестве  $V$ . Множество  $R$  преобразуется в одно соотношение  $g=0$ , где  $g$  – это ДНФ (дизъюнктивная нормальная форма, т.е. сумма произведений литералов).

Для вывода новых ограничений предлагается использовать следующее правило резолюции:

$$a \cdot B = 0, \quad \bar{a} \cdot C = 0 \quad \mapsto \quad B \cdot C = 0,$$

где  $B, C$  – произведения литералов.

Логические корреляции распространяются вдоль схемы от входов до выходов. Для выбора оптимального варианта коммутации следует учитывать логические корреляции, имеющие в своем составе хотя бы один из выходов. Корреляции разной степени оказывают разное влияние на оптимизацию схемы, поэтому для учета корреляций различных степеней предлагается следующая эвристическая формула:

$$S^*(o_i, o_j) = \sum_{k=1} n_k(o_i, o_j) \cdot 2^{-k}, \quad (1)$$

где  $S^*(o_i, o_j)$  – функция учета логических корреляций между  $i$ -м и  $j$ -м выходами схемы;  $n_k$  – количество корреляций  $k$ -го порядка.

На основе оценок упорядочиваются выходы схемы. Наибольший эффект от оптимизации схемы кодирования достигается при условии вхождения в одну формулу схемы кодирования выходов схемы, имеющих взаимные корреляции. Для всех выходов дублирующей схемы применяют предложенные методы анализа логических корреляций в цифровой схеме для получения весовых функций. На основе полученных весовых функций выбирается порядок коммутации выходов дублирующей схемы.

**Заключение.** В рамках данной работы разработан алгоритм синтеза устройства кодирования в базе полей Галуа. Предложены методы преобразования булевых функций в базе операций по модулю 2 на основе упорядоченных диаграмм двоичных решений. Предлагается вариант оптимизации схем кодирования за счет выбора варианта коммутирования выходов дубликата основной схемы на основе результатов анализа логических корреляций.

## БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Гаврилов С.В., Пирютина Г.А., Щелоков А.Н.* Статический временной анализ КМОП-схем с учетом дестабилизирующих факторов // Известия ЮФУ. Технические науки. – 2013. – № 7 (144). – С. 65-70.
2. ГОСТ 27.310-95. Надежность в технике. Анализ видов, последствий и критичности отказов. Основные положения. – М.: Изд-во стандартов, 1995. – 22 с.
3. РД 134-0139-2005. Аппаратура, приборы, устройства и оборудование космических аппаратов. Методы оценки стойкости к воздействию заряженных частиц космического пространства по одиночным сбоям и отказам, ЦНИИмаш, 2005. – 78 с.
4. *Соболев С.А.* Функциональный метод оценки соответствия аппаратуры требованиям по отказам, вызванным ОЯЧ // Вопросы атомной науки и техники. – 2013. – № 3. – С. 121-132.
5. *Шишкевич А.А.* Оценка показателей надежности вычислительных устройств с трехкратным мажорированием при отказах и сбоях // Известия вузов. Электроника. – 2013. – № 4. – С. 84-88.
6. *Соловьев А.Н., Стемпковский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В.* Моделирование возникновения неисправностей для оценки надежностных характеристик логических схем // Информационные технологии. – 2014. – № 11. – С. 30-36.
7. *Соловьев А.Н., Стемпковский А.Л.* Методы повышения отказоустойчивости работы устройства управления микросистемы за счет введения структурной избыточности // Информационные технологии. – 2014. – № 10. – С. 17-22.
8. *Bryant R.E.* Graph-Based Algorithms for Boolean Function Manipulation // IEEE Transactions on Computers. – 1986. – Vol. 35, № 8. – P. 677-691.
9. *Gavrilov S.V., Glebov A.L.* BDD-based circuit level structural optimization for digital CMOS. 1-st Intern. Workshop "Multi-Architecture Low Power Design". – Moscow, 1999. – P. 45-49.
10. *Гаврилов С.В., Гудкова О.Н., Щелоков А.Н.* Логико-временной анализ нанометровых схем на основе интервального подхода // Известия ЮФУ. Технические науки. – 2012. – № 7 (132). – С. 85-91.
11. *Gavrilov S.V., Gudkova O.N., Stempkovskiy A.L.* The Analysis of the Performance of Nanometer IP-blocks Based on Interval Simulation // Russian Microelectronics. – 2013. – Vol.42, No. 7. – P. 396-402.
12. *Гаврилов С.В., Пирютина Г.А., Щелоков А.Н.* Метод интервальных оценок задержек и выходных фронтов библиотечных элементов нанометровых КМОП-схем // Известия ЮФУ. Технические науки. – 2012. – № 7 (132). – С. 70-76.
13. *Гаврилов С.В., Глебов А.Л., Стемпковский А.Л.* Методы логического и логико-временного анализа цифровых КМОП СБИС. – М.: Наука, 2007. – 223 с.
14. *Гаврилов С.В.* Методы анализа логических корреляций для САПР цифровых КМОП СБИС. – М.: Техносфера, 2011. – 136 с.
15. *Gavrilov S.V., Glebov A.L., Soloviev R.A., etc* Delay Noise Pessimism Reduction by Logic Correlations // In Proc. of ICCAD, 2004. – P. 160-167.
16. *Гаврилов С.В., Рыжова Д.И., Стемпковский А.Л.* Методы повышения точности оценки пикового тока на логическом уровне на основе анализа логических корреляций // Известия ЮФУ. Технические науки. – 2014. – № 7 (156). – С. 66-75.
17. *Гаврилов С.В., Рыжова Д.И.* Алгоритм оценки пикового тока на логическом уровне проектирования на основе анализа распространения логических корреляций в схеме // Вестник Рязанского государственного радиотехнического университета. – 2015. – № 2 (Вып. 52). – С. 53-61.
18. *Гаврилов С.В., Гудкова О.Н., Северцев В.Н.* Интервальный статический временной анализ КМОП-схем с учетом логических корреляций // V Всероссийская научно-техническая конференция "Проблемы разработки перспективных микро- и наноэлектронных систем – 2012": сб. научн. тр. / под общей ред. А.Л. Стемпковского. – М.: ИППМ РАН, 2012. – С. 113-118.
19. *Glebov A.L., Gavrilov S.V., Blaauw D.* False-noise analysis using resolution method. ISQED-2002.
20. *Стемпковский А.Л., Гаврилов С.В., Глебов А.Л.* Анализ помехоустойчивости цифровых схем на основе метода резолюций // Известия вузов. Электроника. – 2004. – № 6. – С. 64-71.

REFERENCES

1. Gavrilov S.V., Piryutina G.A., Shchelokov A.N. Statischekiy vremennoy analiz KMOP-skhem s uchetom destabiliziruyushchikh faktorov [CMOS circuit static timing analysis accounting for destabilizing factors], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2013, No. 7 (144), pp. 65-70.
2. GOST 27.310-95. Nadezhnost' v tekhnike. Analiz vidov, posledstviy i kritichnosti otkazov. Osnovnye polozheniya GOST 27.310-95. Reliability in technique. Analysis of types, consequences and criticality of failures. The main provisions]. Moscow: Izd-vo standartov, 1995, 22 p.
3. RD 134-0139-2005. Apparatura, pribory, ustroystva i oborudovanie kosmicheskikh apparatov. Metody otsenki stoykosti k vozdeystviyu zaryazhennykh chastits kosmicheskogo prostranstva po odinochnym sboyam i otkazam, TsNIImash, 2005 [Apparatus, instruments, devices and equipment of spacecraft. Methods of evaluating the resistance to impact of charged particles of space on single errors and failures, TsNIImash, 2005], 78 p.
4. Sobolev S.A. Funktsional'nyy metod otsenki sootvetstviya apparatury trebovaniyam po otkazam, vyzvannym OYaCh [A functional method for the assessment of conformity of the equipment requirements failure caused EACH], *Voprosy atomnoy nauki i tekhniki* [Problems of Atomic Science and Technology], 2013, No. 3, pp. 121-132.
5. Shishkevich A.A. Otsenka pokazateley nadezhnosti vychislitel'nykh ustroystv s trekhkrat'nym mazhorirovaniem pri otkazakh i sboyakh [Evaluation of reliability parameters of computer devices with majorization in three failures and failures], *Izvestiya VUZov. Elektronika* [News of Higher Educational Institutions. Electronics], 2013, No. 4, pp. 84-88.
6. Solov'ev A.N., Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V. Modelirovanie vozniknoveniya neispravnostey dlya otsenki nadezhnostnykh kharakteristik logicheskikh skhem [Simulation of malfunctions to assess reliability characteristics of logic circuits], *Informatsionnye tekhnologii* [Information Technologies], 2014, No. 11, pp. 30-36.
7. Solov'ev A.N., Stempkovskiy A.L. Metody povysheniya otkazoustoychivosti raboty ustroystva upravleniya mikrosistemy za schet vvedeniya strukturnoy izbytochnosti [Methods to improve noise tolerance of the device control Microsystems through the introduction of structural redundancy], *Informatsionnye tekhnologii* [Information Technologies], 2014, No. 10, pp. 17-22.
8. Bryant R.E. Graph-Based Algorithms for Boolean Function Manipulation, *IEEE Transactions on Computers*, 1986, Vol. 35, No. 8, pp. 677-691.
9. Gavrilov S.V., Glebov A.L. BDD-based circuit level structural optimization for digital CMOS, *1-st Intern. Workshop "Multi-Architecture Low Power Design"*. Moscow, 1999, pp. 45-49.
10. Gavrilov S.V., Gudkova O.N., Shchelokov A.N. Logiko-vremennoy analiz nanometryvykh skhem na osnove interval'nogo podkhoda [Logic timing nanometer circuits analysis using interval approach], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2012, No. 7 (132), pp. 85-91.
11. Gavrilov S.V., Gudkova O.N., Stempkovskiy A.L. The Analysis of the Performance of Nanometer IP-blocks Based on Interval Simulation, *Russian Microelectronics*, 2013, Vol.42, No. 7, pp. 396-402.
12. Gavrilov S.V., Piryutina G.A., Shchelokov A.N. Metod interval'nykh otsenok zaderzhki i vykhodnykh frontov biblioteknykh elementov nanometryvykh KMOP-skhem [The interval delay and transition time estimation method of nanometer CMOS library cells], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2012, No. 7 (132), pp. 70-76.
13. Gavrilov S.V., Glebov A.L., Stempkovskiy A.L. Metody logicheskogo i logiko-vremennogo analiza tsifrovyykh KMOP SBIS [Methods of logical and logical-time analysis of digital CMOS VLSI]. Moscow: Nauka, 2007, 223 p.
14. Gavrilov S.V. Metody analiza logicheskikh korrelyatsiy dlya SAPR tsifrovyykh KMOP SBIS [Methods of analysis of logical correlations for CAD digital CMOS VLSI]. Moscow: Tekhnosfera, 2011, 136 p.
15. Gavrilov S.V., Glebov A.L., Soloviev R.A., etc Delay Noise Pessimism Reduction by Logic Correlations, *In Proc. of ICCAD, 2004*, pp. 160-167.
16. Gavrilov S.V., Ryzhova D.I., Stempkovskiy A.L. Metody povysheniya tochnosti otsenki pikovogo toka na logicheskom urovne na osnove analiza logicheskikh korrelyatsiy [Methods for increasing accuracy of peak current estimation at the logical level based on logic correlation analysis], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2014, No. 7 (156), pp. 66-75.

17. *Gavrilov S.V., Ryzhova D.I.* Algoritm otsenki pikovogo toka na logicheskom urovne proektirovaniya na osnove analiza rasprostraneniya logicheskikh korrelyatsiy v scheme [The estimation algorithm of the peak current at the logical design level based on the analysis of the distribution of logic correlations in the circuit], *Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta* [Vestnik of Ryazan State Radio Engineering University], 2015, No. 2 (Issue 52), pp. 53-61.
18. *Gavrilov S.V., Gudkova O.N., Severtsev V.N.* Interval'nyy staticheskiy vremennoy analiz КМОП-skhem s uchedom logicheskikh korrelyatsiy [Interval static timing analysis for CMOS circuits considering logical correlation], *V Vserossiyskaya nauchno-tehnicheskaya konferentsiya "Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2012": sb. nauchn. tr.* [V all-Russian scientific-technical conference "problems of development of perspective micro- and nanoelectronic systems – 2012": collection of scientific papers], Under the General ed. A.L. Stempkovskogo. Moscow: IPPM RAN, 2012, pp. 113-118.
19. *Glebov A.L., Gavrilov S.V., Blaauw D.* False-noise analysis using resolution method. ISQED-2002.
20. *Stempkovskiy A.L., Gavrilov S.V., Glebov A.L.* Analiz pomekhoustoychivosti tsifrovyykh skhem na osnove metoda rezolyutsiy [Analysis of noise immunity of digital circuits on the basis of resolutions], *Izvestiya VUZov. Elektronika* [News of Higher Educational Institutions. Electronics], 2004, No. 6, pp. 64-71.

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

**Гаврилов Сергей Витальевич** – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey\_g@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; профессор; зав. отделом.

**Иванова Галина Александровна** – e-mail: pirutina\_g@ippm.ru; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; м.н.с.

**Соловьев Александр Николаевич** – e-mail: soloviev.alexander@gmail.com; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; г.н.с.

**Стемпковский Александр Леонидович** – e-mail: stal09@ippm.ru; тел.: +74997299890; директор; профессор; академик РАН.

**Gavrilov Sergey Vitalievich** – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: sergey\_g@ippm.ru; 124681, Zelenograd, Sovetskaya Street, 3; phone: +74997299890; head of department.

**Ivanova Galina Aleksandrovna** – e-mail: pirutina\_g@ippm.ru; phone: +74997299890; junior research scientist.

**Soloviev Aleksandr Nikolaevich** – e-mail: soloviev.alexander@gmail.com; phone: +74997299890; chief researcher.

**Stempkovskiy Aleksandr Leonidovich** – e-mail: stal09@ippm.ru; phone: +74997299890; director; professor; academician of RAS.