

## Раздел III. Автоматизация проектирования

УДК 621.3.049.771.14

**П.С. Волобуев, С.В. Гаврилов, Д.И. Рыжова, А.Л. Стемповский**

### **ОПРЕДЕЛЕНИЕ РАЗМЕРОВ КЛЮЧЕВЫХ ТРАНЗИСТОРОВ В НИЗКОМОЩНЫХ КМОП-СХЕМАХ ДЛЯ МЕТОДА ОТКЛЮЧЕНИЯ ПИТАНИЯ С КОНТРОЛЕМ БЫСТРОДЕЙСТВИЯ**

*Проектирование современных интегральных микросхем для технологий с проектными нормами ниже 90нм сталкивается с важной задачей по уменьшению потребляемой мощности, в особенности ее статической компоненты. Средства САПР, существующие в отрасли, обеспечивают уменьшение потребляемой мощности на основе различных схемотехнических решений: метода стробирования тактового сигнала, метода использования элементов с различным пороговым напряжением, а также метода на основе отключающих транзисторов (метод отключения питания). Существующий полузаказной маршрут проектирования энергоэффективных схем на основе библиотечных элементов не обеспечивает управляемый контроль быстродействия при применении отключающих транзисторов для уменьшения статической мощности. Задачей исследования явилось определение возможности модификации стандартного маршрута проектирования энергоэффективных КМОП-схем для учета их быстродействия. В частности, статья посвящена решению проблемы оценки размеров ключевых (отключающих) транзисторов и контроля быстродействия в маршруте автоматизированного синтеза схемотехнических решений сложно-функциональных КМОП-блоков (СФ-блоков) и схем с пониженной статической мощностью на основе метода отключения питания. Вопрос соблюдения компромисса между значением статической потребляемой мощности и быстродействием схемы в статье не затронут. Особенностью предлагаемого метода оценки размеров ключевых транзисторов на основе временных окон переключения вентиля является его реализация в рамках действующего маршрута без его существенной модификации. Большая часть необходимых данных может быть получена на основе программ статического временного анализа. Предложенный метод может быть реализован в программном виде в составе программного комплекса временного анализа.*

*Сложно-функциональный блок (СФ-блок); метод отключения питания схем на основе отключающих транзисторов; статическая потребляемая мощность; КМОП-технология.*

**P.S. Volobuev, S.V. Gavrilov, D.I. Ryzhova, A.L. Stempkovsky**

### **SLEEP TRANSISTORS SWITCH AREA DETERMINATION FOR CMOSLOW POWER CIRCUITS BASED ON POWER GATING METHOD WITH OPERATION SPEED CONTROL**

*Reduction of static power consumption is becoming a priority task in the integrated circuits design process based on the technology with design rules 90nm and below. Existing CAD tools provide low power consumption based on various circuit solutions, like clock gating, multi-Vth transistors and sleep transistor-based methods (power gating). However, the existing data flow on the basis of library elements do not provide the required control of performance when using such method-based circuit solutions for leakage power reduction. The objective of investigation was appraisal of the standard low-power data flow modification capabilities in order to control the operation speed of CMOS circuits while maintaining low static power consumption. Notice in particular that this article is dedicated to*

*finding solution of sleep transistors area estimation and operating speed control in the data flow of automated low-power circuits and intellectual property block (IP blocks) solutions synthesis based on the power gating method. The satisfaction matter of balancing act between static power consumption and operation speed of CMOS circuits is not mentioned in the paper. It is this feature of proposed sleep transistors area estimation method based on timing windows that permits operation speed control to be realized within the presented data-flow without serious modification. The major part of data can be determined during the static timing analysis of the circuit. The proposed method can be implemented in actual data flow as a part of software system for timing analysis.*

*Intellectual property IP-block; static power consumption; CMOS technology.*

**Введение.** Порядок значений статических токов в общем балансе энергопотребления ИС при использовании современных нанометровых технологий сравним с порядком значений динамического тока. Проблема статических токов в режиме бездействия усугубляется с течением времени, и при использовании нанометровых технологий потребляемая мощность в режиме ожидания становится больше мощности, потребляемой в активном режиме [1]. Кроме технологических методов достаточно эффективны динамические методы уменьшения статических токов. Среди таких методов наибольшее распространение в реальных маршрутах проектирования получили методы отключения напряжения питания [2], однако в рамках маршрута такие методы не решают проблему контроля быстродействия отключаемого блока при работе в активном режиме.

В данной статье дается описание метода отключения питания схем на основе отключающих транзисторов [3–4], а также предложен метод оценки размеров ключевых транзисторов энергоэффективных СФ-блоков и схем при использовании метода отключения напряжения питания и проведении временной оптимизации.

**1. Статическая потребляемая мощность.** Статическая мощность для КМОП-схем не зависит от рабочей частоты и потребляется в схеме постоянно:

$$P_{stat} = I_{leak} V_{DD}, \quad (1)$$

Рассматривая статический ток утечки, можно выделить три основных компоненты: подпороговые токи утечек, токи утечек через затвор и токи утечки через р–n–переход. Подпороговые токи являются важной компонентой общего статического тока потребления МОП-транзистора в отключенном состоянии. Из-за разности концентраций носителей заряда в инверсионном слое у выводов стока и истока возникает диффузионный ток, называемый подпороговым. Подпороговые токи утечки экспоненциально зависят от напряжений  $V_{gs}$ ,  $V_{ds}$  и  $V_{TH}$  через параметры концентрации носителей и т.д.:

$$I_{sub} = \mu_0 C_{ox} \frac{1}{L_{eff}} (n-1) \phi_T^2 \times e^{\frac{V_{gs}-V_{TH}}{n\phi_T}} \times (1 - e^{\frac{-V_{ds}}{\phi_T}}), \quad (2)$$

где  $\mu_0$  – подвижность при нулевом смещении,  $C_{ox}$  – емкость подзатворного окисла,  $L_{eff}$  – эффективная длина канала,  $n$  – коэффициент влияния подложки,  $\phi_T$  – тепловой потенциал. С каждой сменой технологических норм требуется снижать пороговое напряжение транзисторов, при этом растет подпороговая компонента утечки. На рис. 1 показаны данные по росту динамической и статической мощности.

Видно, что динамическая мощность остается постоянной величиной или уменьшается. При этом увеличение количества приборов на кристалле вызывает экспоненциальный рост статической мощности. Рассмотрение отдельных компонент статического тока транзистора приведено в работе [5].

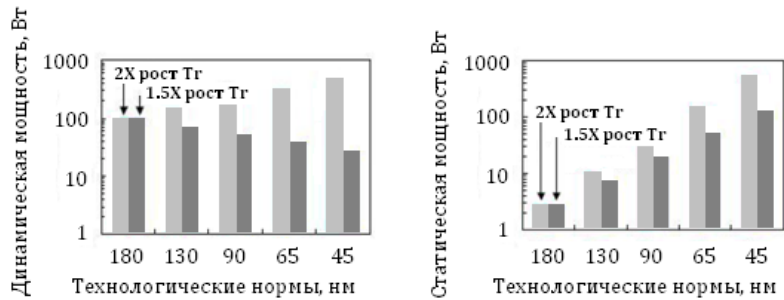


Рис. 1. Зависимость динамической и статической мощности, потребляемой микропроцессором, от роста количества транзисторов при переходе на новые технологические нормы проектирования

**2. Метод отключения питания схемы для снижения статической мощности.** Изменять значение статических токов можно на разных уровнях проектирования. Интерес представляют схемотехнический и функционально-логический уровень. Использование нескольких напряжений питания и пороговых напряжений приборов в схеме, ячеек с разной длиной канала транзисторов относится к статическим методам контроля статического тока. Динамические методы включают в себя контроль входных векторов, *метод отключения напряжения питания* и изменение потенциала подложки для управления пороговым напряжением. Статические методы позволяют задавать уровни напряжения питания или длины каналов транзисторов вентилях или целых блоков, не изменяя традиционного маршрута синтеза. Статические токи уменьшаются как в активном режиме, так и в режиме сна схемы, но процент выигрыша по току достаточно мал (например, около 40% с помощью метода dual-Vdd и около 28 % при использовании логических ячеек с двойной длиной канала [6]). Динамические методы уменьшения мощности основаны на расширенном управлении схемами уменьшения статических токов в активном режиме работы. Динамическое управление позволяет уменьшить токи утечки только в режиме сна, но это уменьшение в большинстве случаев значительно.

Метод отключения схемы от шин земли-питания (power gating) является концептуально несложным и популярным методом уменьшения статических токов. Его применяют при разработке ползуказных СБИС на стандартных ячейках с использованием коммерческих программных систем проектирования. На рис. 2 представлена базовая схема метода отключения питания.

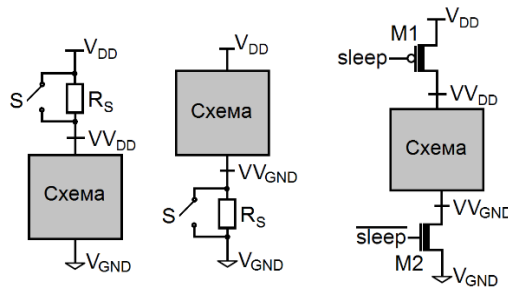


Рис. 2. Схема метода отключения питания с отключающими транзисторами разного типа

Вентили подключаются к виртуальным шинам  $VV_{DD}$  и  $VV_{GND}$  вместо настоящих шин  $V_{DD}$  и  $V_{GND}$  через ключи на транзисторах M1 и M2. Транзисторы с высоким пороговым напряжением используются в ключах с целью минимизации подпорогового тока утечки. В активном режиме сигнал sleep держится на низком логическом уровне, транзисторы M1 и M2 открыты и значения напряжений  $VV_{DD}$  и  $VV_{GND}$  близки к  $V_{DD}$  и  $V_{GND}$  соответственно. В режиме сна сигнал sleep держится на высоком логическом уровне, транзисторы M1 и M2 закрыты и значения напряжений  $VV_{DD}$  и  $VV_{GND}$  имеют «плавающие» значения, а статический ток схемы ограничивается током через ключ с высоким пороговым напряжением [7]. Последовательность операций разделена на следующие фазы:

1. Первая активная фаза.
2. Фаза отключения.
3. Фаза сна.
4. Фаза пробуждения.
5. Вторая активная фаза.

В *активной фазе* отключающий транзистор находится в проводящем состоянии, при этом между его стоком и истоком возникает небольшое падение напряжения  $V_{DROP}$ . Эффективное напряжение питания схемы уменьшается. Важным следствием является увеличение задержки схемы, так как задержка является функцией напряжения питания. При первой активной фазе данные на входах логического блока фиксированы. Во втором активном сценарии сигналы блока изменяют свои значения до тех пор, пока не достигается стабильное состояние первого активного сценария.

Во *временной фазе отключения* блока от начала момента активации ключа напряжение падает до тех пор, пока не достигнет напряжения, близкого к  $V_{GND}$ . Токи  $I_{M1}$  и  $I_{M2}$  уменьшаются до тока  $I_{off}$ , который ограничен компонентой подпорогового тока утечки отключающего транзистора. Значения выходных сигналов теряются, если не используются какие-либо методы его сохранения.

В *режиме сна* ток  $I_{M1} = I_{switch}$  определяется только статическими токами и зависит от значения напряжения насыщения при напряжении  $VV_{DD}$ , которое, в свою очередь, зависит от отношения сопротивлений отключающего транзистора и логического блока.  $I_{switch}$  является функцией нескольких параметров, например, параметров отключаемого транзистора ( $W, L, V_{TH}$ ), рабочей температуры и т.д.

В начале *временной фазы пробуждения* сигнал управления отключающим транзистором меняет свой логический уровень на противоположный (появляется управляющий фронт), что приводит к переходу этого транзистора к проводящему состоянию. Через него начинают заряжаться емкости схемы. При пробуждении максимальный рабочий ток ограничен максимальным током через отключающий транзистор.

**2. Контроль быстродействия в схемах с отключением питания.** Контроль быстродействия в схемах с отключением питания осуществляется путем задания размеров ключевой структуры. При этом затрагиваются такие параметры, как занимаемая площадь, скорость работы отключаемого блока и энергия переключения. Наиболее простым подходом служит суммирование ширин всех транзисторов в схеме и выбор требуемой ширины ключа с помощью таблицы соответствия, но такой подход не учитывает падение напряжения на ключе, что приводит к завышенной оценке. Более сложные методы определения ширины отключающих транзисторов можно разделить на два класса:

- а) методы, основанные на определении пикового тока;
- б) методы, основанные на определении среднего тока.

Основная идея класса подходов с определением пикового тока [8–14] в том, чтобы оценить максимальный мгновенный ток, текущий через ключевой транзистор в процессе переключения входов схемы. Такая оценка относится к наихудшему случаю поведения схемы. При этом требуется провести анализ по всем входным векторам, что является NP-полной задачей, данный метод неприменим для схем с большим количеством входов. Следующий класс подходов ориентирован на работу с усредненными значениями токов [15, 16]. К примеру, алгоритмы задания размеров основаны на некотором ожидаемом значении тока, полученном с помощью параметра вероятности переключения входов схемы. Задание размеров ключевых транзисторов рассматривается как проблема распределения задержки. Такие подходы приводят к небольшой недооценке размеров ключевых транзисторов.

В данной работе предлагается комплексный метод, представляющий собой определение ожидаемого значения наихудшего тока переключения схемы на основе статического временного анализа. Он позволяет повысить точность определения тока по сравнению с описываемыми в литературе подходами. Предлагаемый метод оценки тока переключения требует знания интервалов временных окон переключений логических вентилях и максимального тока, возникающего в процессе их переключения  $I_{\max}^{gate}$ .

Для оценки значения тока в качестве исследуемой схемы выступает схема C17 на основе учебной технологии SAED90nm [17, 18].

1. На первом шаге необходимо определить максимальное (пиковое) значение тока  $I_{peak\_max}^{gate}$  для каждой логической ячейки в библиотеке, используя программу точного схемотехнического моделирования [19], и подсчитать ожидаемое значение максимального тока  $I_{\max}^{gate}$  для вентиля, как  $I_{\max}^{gate} = \alpha_{switch} \times I_{peak\_max}^{gate}$ , где  $\alpha_{switch}$  – фактор переключательной активности вентиля. Параметр  $\alpha_{switch}$  для отрицательного фронта выходного сигнала логического вентиля задается как  $\alpha_{switch} = P\{Y = 1 \rightarrow 0 | Y = 1\} \times P\{Y = 1\}$ , а для положительного фронта задается как  $\alpha_{switch} = P\{Y = 0 \rightarrow 1 | Y = 0\} \times P\{Y = 0\}$ . В качестве примера выбран элемент NAND2X0 из учебной библиотеки SAED90nm и оценено его значение  $I_{\max}^{gate}$ . На основе проведенного моделирования элемента получено  $I_{peak\_max}^{gate} = 193$  мкА. Фактор переключательной активности NAND2X0  $\alpha_s = 3/16$ . Таким образом,

$$I_{\max}^{gate} = \alpha_{switch} \times I_{peak\_max}^{gate} = 193 \cdot 3/16 = 36,188 \text{ мкА.}$$

2. После выполнения пункта 1 необходимо оценить временные окна переключений логических вентилях, входящих в состав исследуемой схемы. После этого  $I_{\max}^{gate}(t)$  определяется наложением временных окон переключения вентилях:

$$I_{\max}^{gate}(t) = I_{\max}^{gate}(t) + I_{\max}^{gate}, \text{ т.е. задается высота каждого окна переключения.}$$

Рассчитанные времена окон переключения представлены в табл. 1.

Таблица 1

**Временные окна переключения для схемы C17**

Вентили	Fall	Fall	Rise	Rise
	минимум, нс	максимум, нс	минимум, нс	максимум, нс
U2	0.0295	0.0372	0.0306	0.0370
U1	0.0328	0.0334	0.0327	0.0347
U3	0.0328	0.1020	0.0327	0.0999
U4	0.0295	0.1057	0.0306	0.1022
U5	0.0948	0.1758	0.0901	0.1815
U6	0.1666	0.1795	0.1689	0.1837

Токи внутри временных окон суммируются для нахождения максимального ожидаемого тока переключения вентиляй  $I_{\max}^{gate}$  в каждый конкретный момент времени (рис. 3).

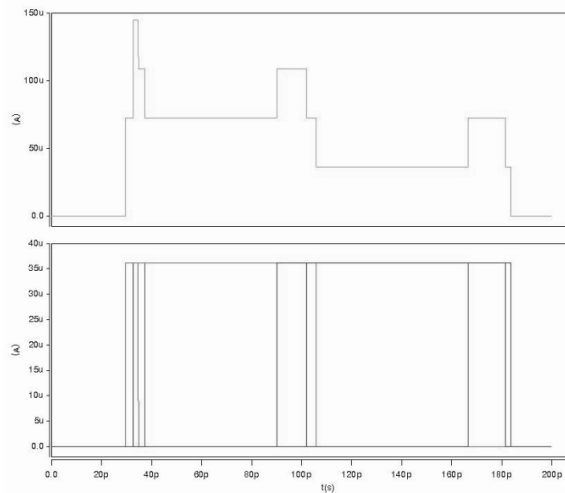


Рис. 3. Кривая суммирования тока с учетом временных окон переключения

При добавлении транзисторного ключа происходит падение производительности схемы из-за падения напряжения на виртуальной шине питания. Однако если добиться отсутствия временных нарушений для критического пути схемы, к элементам которого подключен ключ, то можно гарантировать правильность работы всей схемы. Для больших отключаемых блоков может существовать огромное количество временных путей, поэтому для анализа предлагается использовать подмножество из  $N$  критических путей. Для оценки ширины отключаемого транзистора необходимо рассчитать сопротивление ячеек на наборе критических путей и выбрать минимальное [20]. Задержка  $d^i$  логического вентиля  $i$  при отсутствии какого-либо отключающего транзистора рассчитывается по формуле:

$$d^i \propto C_L V_{dd} / (V_{dd} - V_{tL})^\alpha, \quad (3)$$

где  $V_{tL}$  – значение самого низкого порогового напряжения, а  $\alpha$  – коэффициент насыщения скорости носителей заряда ( $\approx 1, 2$  на 90 нм КМОП-технологии).

В присутствии отключающего транзистора задержка  $d^i$  вентиля  $i$  может быть определена как

$$d^i = \frac{C_L V_{dd}}{(V_{dd} - V_x - V_{tL})^\alpha} = \frac{C_L V_{dd}}{(V_{dd} - (R_{switch} \cdot I(t)) - V_{tL})^\alpha}, \quad (4)$$

где  $V_x$  – потенциал виртуальной шины.

После преобразования формул (1) и (2) можно вывести формулу для  $R_{switch}$ :

$$R_{switch} = \frac{(V_{DD} - V_{tL}) \Delta t_{critical\_path}}{\sum_{gate \in critical\_path} I_{local\_max} d_{gate}}, \quad (5)$$

где  $I_{local\_max}$  – локальный максимальный ток вентиля критической цепи,  $d$  – стандартная задержка вентиля критической цепи,  $\Delta t_{critical\_path}$  – дополнительная задержка критической цепи из-за наличия отключающего транзистора.

В схеме С17 критический путь проходит через элементы U2, U3 и U6. Максимальные токи  $I_{local\_max\_U2} = 144,75 \text{ мкА}$ ,  $I_{local\_max\_U3} = 108,56 \text{ мкА}$ ,  $I_{local\_max\_U6} = 72,38 \text{ мкА}$  через данные вентили и максимальное время прибытия сигнала на выход вентиля U6, равное полной задержке прохождения сигнала  $d = 0,1837 \text{ нс}$ , вычисляются исходя из данных, полученных в пункте 1 и 2. Задавая процент деградации задержки, можно рассчитать  $R_{switch}$ . Пусть  $\Delta t_{critical\_path} = 0,02 \cdot d$  тогда:

$$R_{switch} = \frac{(1,2B - 0,276 B)(0,02 \cdot 0,1837 \text{ нс})}{(0,0370 \text{ нс} \cdot 144,75 \text{ мкА} + 0,0629 \text{ нс} \cdot 108,56 \text{ мкА} + 0,0838 \text{ нс} \cdot 72,38 \text{ мкА})} = 186 \text{ Ом}.$$

Так как отключающий транзистор работает в линейном режиме, то можно воспользоваться следующим выражением для тока транзистора:

$$I_{switch} = \mu_n C_{ox} (W_{switch} / L_{switch}) (V_{DD} - V_{tL}) V_{switch}, \quad (6)$$

$$W_{switch} = L / (\mu_n C_{ox} (V_{DD} - V_{tL}) R_{switch}). \quad (7)$$

Если  $L = 0,1 \text{ мкм}$ , то, чтобы не выйти за рамки 2 % деградации задержки, минимальный размер ключевого р-канального транзистора должен быть не меньше  $W_{switch} \approx 5,1 \text{ мкм}$ .

**Заключение.** Промышленные программы (например, IC Compiler компании Synopsys) позволяют на этапе физического синтеза оценить размеры добавляемых транзисторов. Но доступные для синтеза транзисторные ключи обладают большими размерами и используются в основном для работы с большими логическими кластерами. Кроме того, отсутствует точный последующий расчет временных характеристик таких схем, а в частности влияние добавляемых транзисторов на быстродействие. Предложенный метод оценки размеров отключающей структуры на основе временных окон переключения вентиля позволяет при наличии доступного временного запаса на критических путях рассчитывать необходимую ширину отключающего транзистора, добавление которого не нарушит работоспособность схемы и позволит гибко влиять не только на конечное быстродействие логических блоков, но и на статическую потребляемую мощность.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Chandrakasan A., Sheng S., Brodersen R. Low-Power CMOS Digital Design // IEEE Journal of Solid-State Circuits. – 1992. – Vol. 27, № 4. – P. 473-484.
2. Calhoun B., Honore F., Chandrakasan A. Design methodology for fine-grained leakage control in MTCMOS. In Proceedings of the 2003 international symposium on Low power electronics and design. – ACM Press, 2003. – P. 104-109.

3. *Shi K., Howard D.* Challenges in sleep transistor design and implementation in low-power designs // Proc. Of the 3rd annual conference on Design automation. – 2006. – P. 113-116.
4. *Neema V., Chouhan S., Tokekar S.* Novel Circuit Technique for Reduction of Leakage Current in Series/Parallel PMOS/NMOS Transistor Stack // IETE Journal of Research. – 2010. – Vol. 56.
5. *Mukhopadhyay S., Raychowdhury A., Roy K., Kim C. H.* Leakage Power Analysis and Reduction for Nanoscale Circuits // IEEE Micro. – 2006. – № 6 (2). – P. 68-80.
6. *Royannez P., Mair H.* 90nm Low Leakage SoC Design Techniques for Wireless Applications // In IEEE International Solid-State Circuits Conference, 2005.
7. *Calhoun B.H., Honore F.A., Chandrakasan A.* Design methodology for fine-grained leakage control in MTCMOS // In Proceedings of the 2003 international symposium on Low power electronics and design. – 2003. – P. 104-109.
8. *Гаврилов С.В., Рыжова Д.И.* Алгоритм оценки пикового тока на логическом уровне проектирования на основе анализа распространения логических корреляций в схеме // Вестник РГРТУ. – 2015. – № 2. – Вып. 52. – С. 53-61.
9. *Гаврилов С.В., Рыжова Д.И., Стемпковский А.Л.* Проблема анализа пикового тока при проектировании сверхбольших интегральных схем на логическом уровне и современные методы ее решения // Информационные технологии. – 2014. – № 6. – С. 58-63.
10. *Гаврилов С.В., Рыжова Д.И., Стемпковский А.Л.* Методы повышения точности оценки пикового тока на логическом уровне на основе анализа логических корреляций // Известия ЮФУ. Технические науки. – 2014. – № 7 ( ). – С. 66-75.
11. *Гаврилов С.В., Рыжова Д.И.* Метод оценки пикового тока на логическом уровне с учетом одновременного переключения входов // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2014. Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИППМ РАН, 2014. Ч. I. – С. 37-42.
12. *Гаврилов С.В., Рыжова Д.И., Щелоков А.Н.* Методы повышения точности оценки пикового тока на логическом уровне на основе метода резолюций // Труды Международного конгресса по интеллектуальным системам и информационным технологиям – 2014, «IS&IT'14». – С.102-105.
13. *Гаврилов С.В., Рыжова Д.И., Щелоков А.Н.* Анализ пикового тока на основе результатов характеристики реальных библиотек логических вентилях (тезисы) // Труды Международного конгресса по интеллектуальным системам и информационным технологиям – 2013. Интеллектуальные САПР». – С. 251-252.
14. *Гаврилов С.В., Гудкова О.Н., Северцев В.Н.* Интервальный статический временной анализ КМОП-схем с учетом логических корреляций // V Всероссийская научно-техническая конференция «Проблемы разработки перспективных микроэлектронных систем – 2012»: сб. научн. тр. / под общ. ред. А.Л. Стемпковского. – М.: ИППМ РАН, 2012. – С. 113-118.
15. *Ganeshpure K.* A Pattern Generation Technique for Maximizing Switching Supply Currents // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2012. – P. 986-998.
16. *Mangassarian H., Najm F.* Maximum Circuit Activity Estimation Using Pseudo-Boolean Satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2012. – P. 271-284.
17. *Goldman R., Bartleson K., Wood T., Melikyan V.* Synopsys' Interoperable Process Design Kit, *European Workshop on Microelectronics Education*, 2010.
18. Synopsys Inc. Synopsys products. <http://www.synopsys.com/>.
19. HSPICE User Guide: Simulation and Analysis.
20. *Волобуев П.С., Гаврилов С.В., Рыжова Д.И.* Метод снижения статической мощности КМОП-схем на основе отключающих транзисторов с контролем быстродействия // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2014: Сборник трудов / Под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИППМ РАН, 2014. Ч. I. – С. 101-106.

## REFERENCES

1. *Chandrakasan A., Sheng S., Brodersen R.* Low-Power CMOS Digital Design, IEEE Journal of Solid-State Circuits, 1992, Vol. 27, No. 4, pp. 473-484.



2. Calhoun B., Honore F., Chandrakasan A. Design methodology for fine-grained leakage control in MTCMOS, *In Proceedings of the 2003 international symposium on Low power electronics and design*. ACM Press, 2003, pp. 104-109.
3. Shi K., Howard D. Challenges in sleep transistor design and implementation in low-power designs, *Proc. Of the 3rd annual conference on Design automation*, 2006, pp. 113-116.
4. Neema V., Chouhan S., Tokekar S. Novel Circuit Technique for Reduction of Leakage Current in Series/Parallel PMOS/NMOS Transistor Stack, *IETE Journal of Research*, 2010, Vol. 56.
5. Mukhopadhyay S., Raychowdhury A., Roy K., Kim C. H. Leakage Power Analysis and Reduction for Nanoscale Circuits, *IEEE Micro*, 2006, No. 6 (2), pp. 68-80.
6. Royannez P., Mair H. 90nm Low Leakage SoC Design Techniques for Wireless Applications, *In IEEE International Solid-State Circuits Conference*, 2005.
7. Calhoun B.H., Honore F.A., Chandrakasan A. Design methodology for fine-grained leakage control in MTCMOS, *In Proceedings of the 2003 international symposium on Low power electronics and design*, 2003, pp. 104-109.
8. Gavrilov S.V., Ryzhova D.I. Algoritm otsenki pikovogo toka na logicheskom urovne proektirovaniya na osnove analiza rasprostraneniya logicheskikh korrelyatsiy v skheme [Algorithm for estimating peak current at the logical design level based on the analysis of the distribution of logical correlations in the scheme], *Vestnik RGRTU [Vestnik of Ryazan state radioengineering university]*, 2015, No. 2, Issue 52, pp. 53-61.
9. Gavrilov S.V., Ryzhova D.I., Stempkovskiy A.L. Problema analiza pikovogo toka pri proektirovanii sverkhbol'shikh integral'nykh skhem na logicheskom urovne i sovremennyye metody ee resheniya [The problem of peak current analysis in the design of very large integrated circuits on the logic level, and its modern solutions], *Informatsionnye tekhnologii [Information Technologies]*, 2014, No. 6, pp. 58-63.
10. Gavrilov S.V., Ryzhova D.I., Stempkovskiy A.L. Metody povysheniya tochnosti otsenki pikovogo toka na logicheskom urovne na osnove analiza logicheskikh korrelyatsiy [Methods for increasing accuracy of peak current estimation at the logical level based on logic correlation analysis], *Izvestiya YuFU. Tekhnicheskie nauki [Izvestiya SFedU. Engineering Sciences]*, 2014, № 7 (156), pp. 66-75.
11. Gavrilov S.V., Ryzhova D.I. Metod otsenki pikovogo toka na logicheskom urovne s uchedom odnovernennogo pereklyucheniya vkhodov [A method of evaluating peak current at the logical level due to simultaneous switching of inputs], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2014. Sbornik trudov [Problems of development of perspective micro - and nanoelectronic systems – 2014. Proceedings of]*, under ed. academician of RAS A.L. Stempkovskogo. Moscow: IPPM RAN, 2014. Part I, pp. 37-42.
12. Gavrilov S.V., Ryzhova D.I., Shchelokov A.N. Metody povysheniya tochnosti otsenki pikovogo toka na logicheskom urovne na osnove metoda rezolyutsiy [Methods to improve the accuracy of estimates of peak current on the logic level on the basis of resolutions], *Trudy Mezhdunarodnogo kongressa po intellektual'nykh sistemam i informatsionnykh tekhnologiyam – 2014, «IS&IT'14» [Proceedings of the International Congress on intelligent systems and information technologies – 2014, "IS&IT'14"]*, pp.102-105.
13. Gavrilov S.V., Ryzhova D.I., Shchelokov A.N. Analiz pikovogo toka na osnove rezul'tatov kharakterizatsii real'nykh bibliotek logicheskikh ventiley (tezisy) [Analysis of peak current based on the results of characterization of real libraries of logic gates (abstract)], *Trudy Mezhdunarodnogo kongressa po intellektual'nykh sistemam i informatsionnykh tekhnologiyam – 2013. Intellektual'nye SAPR» [Proceedings of the International Congress on intelligent systems and information technology – 2013. Intelligent CAD systems"]*, pp. 251-252.
14. Gavrilov S.V., Gudkova O.N., Severtsev V.N. Interval'nyy staticheskiy vremennyy analiz KMOP-skhem s uchedom logicheskikh korrelyatsiy [Interval static timing analysis for CMOS circuits considering logical correlations], *V Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikroelektronnykh sistem – 2012»: sb. nauchn. tr. [V all-Russian scientific-technical conference "problems of development of perspective micro-and nanoelectronic systems – 2012": collection of scientific papers]*, under ed. A.L. Stempkovskogo. Moscow: IPPM RAN, 2012, pp. 113-118.
15. Ganeshpure K. A Pattern Generation Technique for Maximizing Switching Supply Currents, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2012, pp. 986-998.
16. Mangassarian H., Najm F. Maximum Circuit Activity Estimation Using Pseudo-Boolean Satisfiability, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2012, pp.271-284.

17. Goldman R., Bartleson K., Wood T., Melikyan V. Synopsys' Interoperable Process Design Kit, *European Workshop on Microelectronics Education*, 2010.
18. Synopsys Inc. Synopsys products. Available at: <http://www.synopsys.com/>.
19. HSPICE User Guide: Simulation and Analysis.
20. Volobuev P.S., Gavrilov S.V., Ryzhova D.I. Metod snizheniya staticheskoy moshchnosti КМОП-skhem na osnove otklyuchayushchikh tranzistorov s kontrolem bystrodeystviya [A method of reducing static power CMOS circuits based on the breaking of the transistors control the speed], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2014. Sbornik trudov* [Problems of development of perspective micro - and nanoelectronic systems ' 2014 – proceedings of], under ed. academician of RAS A.L. Stempkovskogo. Moscow: IPPM RAN, 2014, Part I, pp. 101-106.

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

**Гаврилов Сергей Витальевич** – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: [sergey\\_g @ippm.ru](mailto:sergey_g@ippm.ru); 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; профессор; зав. отделом.

**Волобуев Павел Сергеевич** – e-mail: [synopsis@bk.ru](mailto:synopsis@bk.ru); отдел автоматизации проектирования цифровых схем, инженер-исследователь.

**Рыжова Дарья Игоревна** – e-mail: [ryzhova\\_d@ippm.ru](mailto:ryzhova_d@ippm.ru); отдел автоматизации проектирования цифровых схем, м.н.с.

**Стемпковский Александр Леонидович** – e-mail: [stal09@ippm.ru](mailto:stal09@ippm.ru); директор, профессор; академик РАН.

**Gavrilov Sergey Vitalievich** – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: [sergey\\_g @ippm.ru](mailto:sergey_g @ippm.ru); 124365, Zelenograd, Sovetskaya Street, 3; phone: +74997299890; head of department.

**Volobuev Pavel Sergeevich**– e-mail: [synopsis@bk.ru](mailto:synopsis@bk.ru); research engineer.

**Ryzhova Daria Igorevna** – e-mail: [ryzhova\\_d@ippm.ru](mailto:ryzhova_d@ippm.ru); junior research scientist.

**Stempkovsky Aleksandr Leonidovich** – e-mail: [stal09@ippm.ru](mailto:stal09@ippm.ru); director.

УДК 681.3.001.63

**С.Н. Щеглов**

### **ПРОЦЕСС ПОДГОТОВКИ И ПРИНЯТИЕ РЕШЕНИЙ ДЛЯ ЗАДАЧ ПРОЕКТИРОВАНИЯ И УПРАВЛЕНИЯ\***

*Рассмотрен модифицированный подход к подготовке и принятию решений для задач проектирования и управления. В настоящее время осуществляется разработка новых теорий, принципов и на их основе производится построение интегрированных математических моделей и методов для эффективного принятия решений. Это особенно актуально в высокотехнологичных областях, например, связанных с внедрением биоинспирированных, информационных, ядерных и нанотехнологий, автоматизации проектирования и управления. При этом важным является создание множества информационных интеллектуальных систем поддержки принятия решений, ориентированных на заданные предметные области. Для надежности принимаемых решений используют многовариантный подход, основанный на сравнении наборов возможных решений. Поддержка принятия решений может быть рассмотрена как процесс, представляющий собой, непрерывный поток действий от стадии представления до проектирования и выбора. Представлена структурная схема принятия решений. Данный подход используется при построении новых информационных технологий выбора оптимальных и квазиопти-*

---

\* Работа выполнена при поддержке Министерства образования и науки РФ. Проект № 8.823.2014.