

20. *Franklin G.F., Powell J.D., and Emami-Naeimi A.* Feedback Control of Dynamic Systems. 3rd ed., Addison-Wesley, 1994.
21. *Kuo B.C.* Automatic Control Systems. 7th ed., Prentice Hall, 1995.
22. *Astapov Yu.M.* Chastotnye metody analiza avtomaticheskikh sistem. Mashinostroenie. Entsiklopediya v soroka tomakh [Frequency methods of analysis of automatic systems. Engineering. The encyclopedia in forty volumes]. Vol. 14. Avtomaticheskoe upravlenie. Teoriya [Automatic control. Theory]. Edited and compiled by E.A. Fedosov. Moscow: Mashinostroenie, 2000, pp. 38-43.
25. Feedback Control of Dynamic Systems, Fifth Edition, by Gene F. Franklin, J. David Powell, and Abbas Emami-Naeini. ISBN 0-13-149930-0. 2006 Pearson Education, Inc., Upper Saddle River, NJ.
23. *Rohrs C.E., Melsa J.L., and Schultz D.G.* Linear Control Systems. McGraw-Hill, 1993.

Статью рекомендовал к опубликованию д.т.н. С.Г. Цариченко.

Кузин Юрий Рудольфович – Московский государственный технический университет им. Н.Э. Баумана; e-mail: kuzin_yr@bmstu.ru; 105005, г. Москва ул. 2-я Бауманская, 5; тел.: +79175790180; кафедра специальной робототехники и мехатроники – ст. преподаватель; НИИ Специального машиностроения – зав. сектором.

Калинин Алексей Владимирович – e-mail: kalinin_mvту@mail.ru; тел.: +79032967362; к.т.н.; кафедра специальной робототехники и мехатроники – доцент; НИИ Специального машиностроения – зав. сектором.

Гримак Дмитрий Сергеевич – e-mail: gds.vse@gmail.com; тел.: +79265830227; НИИ Специального машиностроения; инженер 2-ой категории.

Kuzin Yuriy Rudolfovich – Bauman Moscow State Technical University; e-mail: kuzin_yr@bmstu.ru; 5, 2nd Baumanskaya street, Moscow, 105005, Russia; phone: +79175790180; the department of special robotics and mechatronics – senior lecturer; NIISM – sector head.

Kalinin Aleksey Vladimirovich – e-mail: kalinin_mvту@mail.ru; phone: +79032967362; the department of special robotics and mechatronics – associate professor; NIISM – sector head.

Grimak Dmitriy Sergeevich – e-mail: gds.vse@gmail.com; phone: +79265830227; NIISM; engineer.

УДК 004.272.2

Е.С. Балака, Д.А. Городецкий, В.С. Рухлов, А.Н. Щелоков

РАЗРАБОТКА ВЫСОКОСКОРОСТНЫХ СУММАТОРОВ ПО МОДУЛЮ НА БАЗЕ КОМБИНАЦИОННЫХ СУММАТОРОВ С ПАРАЛЛЕЛЬНЫМ ПЕРЕНОСОМ*

Рост сложности вычислительных систем, обработка данных большой размерности ставят задачу поиска решений по усовершенствованию структуры вычислителей как на алгоритмическом, так и на аппаратном уровнях. Для обработки многоразрядных данных используются комбинационные параллельные сумматоры с регулярной структурой, обладающие высоким быстродействием. При этом, с увеличением разрядности входных данных, соответственно, увеличивается и длина цепи переносов. Вычисления в модулярной системе ведутся параллельно и независимо по модульным вычислительным каналам, разрядность которых меньше, чем разрядность исходных операндов, что дает возможность сократить число логических уровней цепи переноса относительно позиционной реализации. Рассматривается задача построения параллельного модульного сумматора на базе архи-

* Работа выполнена при финансовой поддержке РФФИ (проект № 15-51-04006).

текстур комбинационных сумматоров с параллельным переносом (*Parallel Prefix Adder*) в рамках задач проектирования высокоскоростных модульных устройств. Архитектуры модульных сумматоров рассматриваются с позиций выбора оптимальных оснований модулярной арифметики. Применение специальных оснований вида $(2^n \pm 1)$, которые максимально приближены к степени двойки, позволяют использовать самые передовые архитектуры PPA с минимальным внесением избыточности. Для исследования были выбраны следующие модифицированные архитектуры деревьев формирования переноса PPA: Kogge-Stone, Knowles, Ladner-Fischer. Результаты моделирования построенных схем модульных сумматоров показали, что на малых разрядностях (до 64 бит) для сумматоров по модулю $(2^n - 1)$ оптимальной является архитектура на базе модифицированного дерева переносов Kogge-Stone PPA, свыше 64 бит – архитектура на базе модифицированного дерева переносов Knowles PPA; для сумматоров по модулю $(2^n + 1)$ оптимальной является архитектура на базе модифицированного дерева переносов Knowles PPA, свыше 32 бит – Ladner-Fischer PPA. Для обоих типов сумматоров с точки зрения аппаратных затрат наиболее эффективна реализация на базе Ladner-Fischer PPA.

Модулярная арифметика; сумматоры по модулю с параллельным переносом; параллельные сумматоры с групповой организацией переносов; Kogge-Stone Adder; Knowles Adder; Ladner-Fischer Adder.

E.S. Balaka, D.A.Gorodecky, V.S. Rukhlov, A.N. Schelokov

DESIGN AND SYNTHESIS OF HIGH SPEED MODULO ADDERS USING PARALLEL PREFIX STRUCTURE

The growth of the complexity of computing systems, data processing of large dimension pose the problem of finding solutions to improve the structure of calculators both at algorithmic the hardware level. For multi-bit data processing the combinational high-speed Parallel Prefix Adders are used. Thus, with increase of input data bit width, carry chain length is increased respectively. The RNS is an arithmetic system which decomposes a number into parts (residues) and performs arithmetic operations in parallel for each residue without the need of carry propagation among them. It makes it possible to reduce the number of the carry chain logic levels relative to positional implementation. In this paper special modulo adders are implemented using parallel prefix structures like modified Kogge-Stone, Knowles, Ladner-Fischer. A comparative analysis has been made between various parallel prefix modulo architectures in terms of VLSI entities such as area and delay. The special moduli $(2n \pm 1)$, which are as close as possible to the power of two, allow the use of the most advanced architecture PPA with minimal introduction of redundancy. Simulation results of constructed schemes of modular adders have shown that modified Kogge-Stone PPA is the optimal architecture for modulo $(2^n - 1)$ adders at low bit width (64 bit), for widths more than 64 bits - architecture based on the modified Knowles PPA. For modulo $(2^n + 1)$ adders the best architecture is based on the modified Knowles PPA, for more than 32 bits – Ladner-Fischer PPA. For both types of adders, from hardware cost point of view, the most effective implementation is based on Ladner-Fischer PPA.

Residue Number System; Parallel Prefix Modulo Adder; Carry Save Adders; Kogge-Stone Adder; Knowles Adder; Ladner-Fischer Adder.

Введение. В модулярной системе счисления любое целое число представляется в виде набора остатков от деления на основания (модули) модулярной системы. Отсутствие межразрядных связей при сложении, вычитании и умножении целых чисел является одной из наиболее привлекательных ее особенностей [1]. Тем самым возможно реализовывать вычислительные устройства на аппаратном уровне более эффективно, чем в позиционной системе. Результаты исследований последних лет [2–4] показывают, что модулярная арифметика так же эффективно показала себя в рамках задач уменьшения энергопотребления, не снижая производительности. Однако, существует ряд проблем, препятствующие широкому распространению использования средств на базе модулярной арифметики. В том числе это связано с отсутствием специализированных ячеек в рамках синтетических

библиотек современных САПР. К примеру, базовые методы RTL-синтеза включают учет характера арифметических операций, т.е. система сама определяет деревья арифметических операций в описании устройства и производит их оптимизацию с помощью технологии сохранения битов переноса (CSA) [5]. В рамках данной статьи рассматривается задача построения базовой операции модулярной арифметики, а именно операции сложения по спецмодулю на базе структур двоичных сумматоров с параллельным переносом.

Parallel Prefix Adders. Операция сложения двух двоичных чисел является одной из наиболее важных арифметических операций в цифровых системах. Параметры по быстродействию и потребляемой мощности двоичных сумматоров напрямую влияют на скорость обработки данных вычислительным устройством.

Основным параметром для усовершенствования архитектуры двоичного сумматора является задержка распространения в цепи переноса. С увеличением разрядности входных данных, соответственно, увеличивается длина цепи переносов. Для решения данной задачи современные САПР используют архитектуры двоичных сумматоров комбинационного типа, построенные на базе параллельных сумматоров с групповой организацией переносов (Parallel Prefix Adders, PPA) [6–8]. PPA на сегодняшний день считаются наиболее эффективными схемами для двоичного сложения в цифровых системах. Регулярная структура и высокая производительность делает их особенно привлекательными для реализации в рамках технологий СБИС (задержка PPA прямо пропорциональна числу уровней на стадии распространения переноса).

Архитектура PPA состоит из 3 уровней (рис. 1): на первом уровне выполняется ряд промежуточных предвычислений; на втором уровне строится дерево переносов; на третьем уровне формируется результат операции. Рассмотрим каждую стадию более подробно.

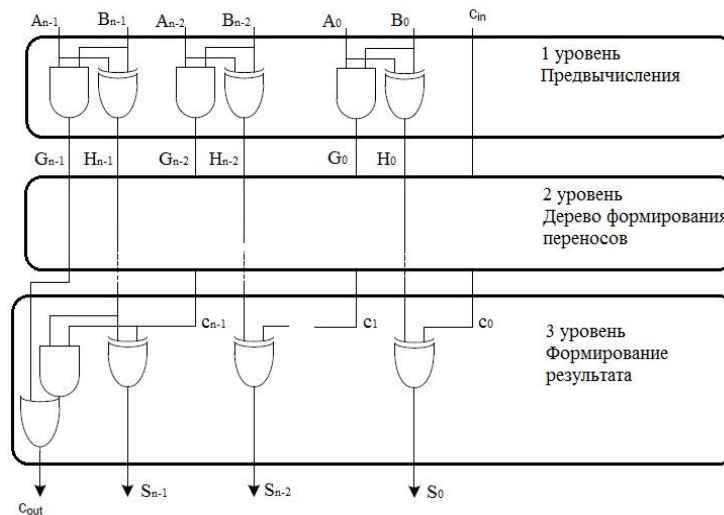


Рис. 1. Структура PPA

На этапе предвычислений вычисляются значения функций образования переноса (generate) и распространения переноса (propagate) для каждой пары битов входных операндов A и B:

$$G_i = A_i \cdot B_i,$$

$$H_i = A_i \oplus B_i.$$

На этапе формирования дерева переносов группа сигналов generate/propagate вычисляется для каждого бита по следующим уравнениям:

$$G_{i:j} = G_{i:k} + H_{i:k} \cdot G_{k-1:j}$$

$$H_{i:j} = H_{i:k} \cdot H_{k-1:j}$$

На финальном этапе определяются биты выходного результата и бита выходного переноса согласно формулам:

$$S_i = H_i \oplus G_{i:-1}$$

$$c_{out} = G_{n:-1},$$

где (-1) – значение входного переноса c_{in} .

Сигналы generate/propagate могут быть сгруппированы различными методами, на основе которых созданы различные семейства архитектур PPA [9]. В рамках данной работы, нас интересовали архитектуры с максимальным быстродействием. Поэтому, с учетом результатов мировых исследований, в качестве базовых архитектур двоичных PPA были выбраны следующие: Kogge-Stone [10], Knowles [11], Ladner-Fischer [12].

На рис. 2 для большей наглядности рассматриваемых архитектур, определены ячейки, которые используются при построении PPA.

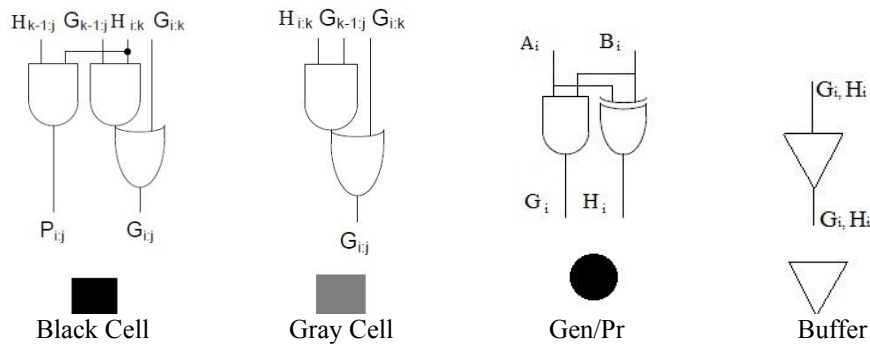


Рис. 2. Базовые ячейки PPA

Дерево переносов Kogge – Stone PPA относится к типу деревьев, которые используют наименьшее количество логических уровней. В работе [13] разработана улучшенная структура дерева, графовое представление для 8-битного сумматора отображено на рис. 3.

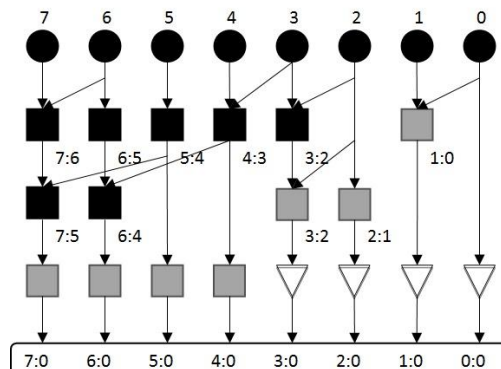


Рис. 3. Структура дерева переносов Kogge – Stone PPA

Knowles предложил семейство деревьев переноса с гибкой архитектурой. Например, структура 16-битного сумматора может иметь такие реализации дерева переноса, как Knowles [4,2,1,1], [4,4,2,1], [8,2,2,1], [8,4,1,1]. На рис. 4 показан граф дерева переноса для 8 битного сумматора.

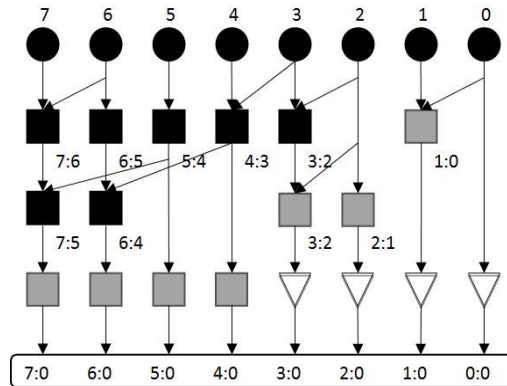


Рис. 4. Структура дерева переносов Knowles PPA

Дерево переносов Ladner-Fischer PPA является структурой, находящейся между двумя другими типами PPA – Brent-Kung [14] and Sklansky [15]. На рис. 5 представлен граф формирования переносов для 8-битного сумматора.

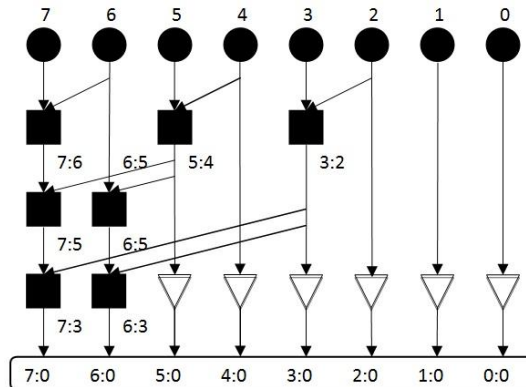


Рис. 5. Структура дерева переносов Ladner - Fischer PPA

Сумматоры по модулю с PPA архитектурой. Несмотря на то, что архитектуры PPA обсуждаются во многих статьях, методологии для их создания описываются весьма кратко. Что еще более важно, существует отсутствие понимания, каким образом та или иная архитектура реализуется на применяемой технологии. По мере развития технологий создания интегральных схем размеры схем становятся все меньше, тем самым возникают ограничения на характеристики двоичных сумматоров в нанометровом диапазоне. Кроме того, хороший дизайн-проект схемы зависит от компромисса между аппаратными, временными и мощностными затратами. Вычисления в модулярной системе ведутся параллельно и независимо по модульным вычислительным каналам, разрядность которых меньше, чем разрядность исходных операндов, что дает возможность сократить длину цепи переноса относительно позиционной реализации.

В общем случае сложение по модулю p вычетов A и B ($0 \leq A, B < p$) определяется как:

$$S = |A + B|_p = \begin{cases} A + B - p, & \text{если } A + B \geq p, \\ A + B, & \text{в остальных случаях.} \end{cases} \quad (1)$$

Структура модульного сумматора, согласно (1), включает пару двоичных сумматоров, компаратор и выходной мультиплексор. В работе [16] предложена параллельная структура сумматора, вычисляющая одновременно два значения: $(A + B)$ и $(A + B - p)$. Данная структура известна как ELM Modular Addition (ELMMA) и является базовой, требующей минимальной «ручной работы» от разработчика.

Сумматор по модулю также возможно реализовать, используя архитектуры PPA. Однако, наиболее эффективно с точки зрения аппаратных и временных затрат для этих целей использовать специального вида основания, значения которых максимально приближены к степени двойки [17, 18].

Сумматор по модулю $2^n - 1$. Суммирование по модулю $2^n - 1$ может быть выражено следующим уравнением:

$$|A + B|_{2^n - 1} = \begin{cases} |A + B + 1|_{2^n}, & \text{если } A + B \geq 2^n - 1, \\ A + B, & \text{в других случаях.} \end{cases} \quad (2)$$

Однако, сравнение $A + B \geq 2^n - 1$ вычисляется не тривиально. Уравнение (2) может быть переписано, используя сравнение $A + B \geq 2^n$ ($c_{out} = 1$):

$$|A + B|_{2^n - 1} = \begin{cases} |A + B + 1|_{2^n}, & \text{если } A + B \geq 2^n, \\ A + B, & \text{в других случаях.} \end{cases} \quad (3)$$

В этом случае, значение выходного бита переноса c_{out} используется для корректировки выходного значения суммы, т.е. значение c_{out} прибавляется к значению суммы $(A + B)$. Однако, в этом случае, мы имеем двойное представление нуля $0 = (000...0) = (111...1)$. Структура сумматора приведена на рис. 6,а.

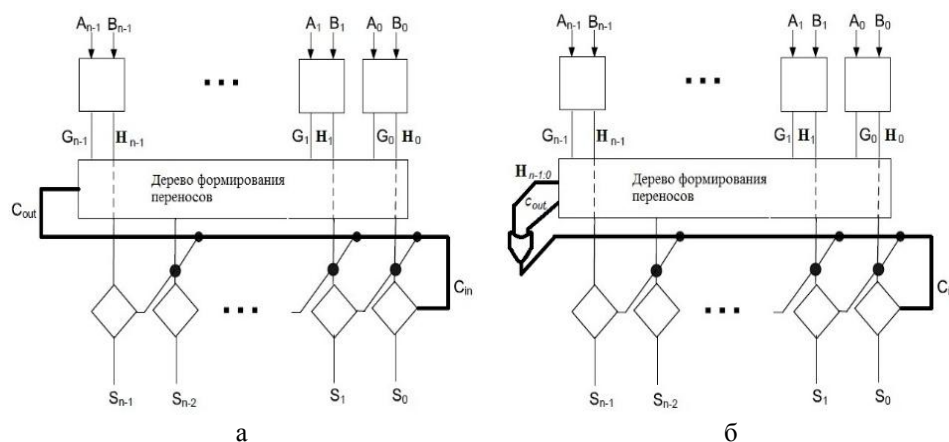


Рис. 6. Структура PPA сумматора по модулю $(2^n - 1)$: а – с двойным представлением нуля; б – с единственным представлением нуля

В случае, если требуется представление нуля единственным способом, то необходимо реализовывать уравнение (2). Сравнение $A + B \geq 2^n - 1$ выполняется, если $A + B \geq 2^n$ или $A + B = 2^n - 1$. Тогда значение $1 = 111...1$, которое соответствует сигналу распространения переноса $H_{n-1:0}$. Таким образом, такого вида сумматор так же может быть представлен, используя PPA структуру (рис. 6,б).

Сумматор по модулю $2^n + 1$. Операция сложения по модулю $2^n + 1$ реализуется значительно сложнее, чем по модулю $2^n - 1$. Причина этому очевидна, если учесть, что требуется для получения $|A + B|_p$ согласно уравнению (1). Арифмети-

ческие операции по данному модулю часто реализуют посредством использования другого представления входных данных, а именно число $X > 0$ представляется его эквивалентом равным $X - 1$, обозначим его как \hat{X} . Значению нуля в данном случае не используется.

Суммирование по модулю $2^n + 1$ может быть выражено следующим уравнением:

$$|\hat{A} + \hat{B} + 1|_{2^n+1} = \begin{cases} |\hat{A} + \hat{B}|_{2^n}, & \text{если } \hat{A} + \hat{B} + 1 \geq 2^n, \\ \hat{A} + \hat{B} + 1, & \text{в других случаях.} \end{cases} \quad (4)$$

Таким образом, $(\hat{A} + \hat{B})$, если $\hat{A} + \hat{B} + 1 < 2^n$, т.е. $c_{out} = 0$, получаем структуру модульного PPA подобную сумматору по модулю $2^n - 1$ с дополнением инвертора в цепи обратной связи формирования переноса (рис. 7).

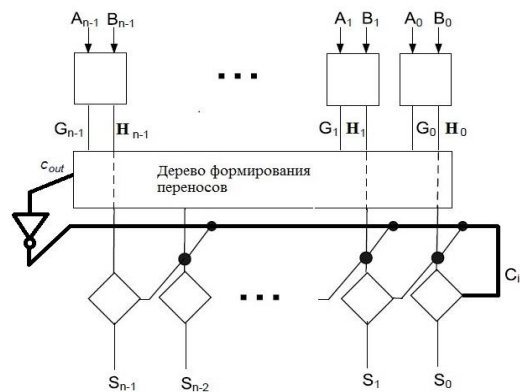


Рис. 7. Структура PPA сумматора по модулю $(2^n + 1)$

Схема экспериментов и результаты моделирования. Для оценки эффективности рассмотренных архитектур сумматоров по модулям специального вида $2^n \pm 1$ были созданы программные автоматизированные генераторы RTL-описания сумматоров на языке Verilog HDL для архитектур Kogge – Stone PPA (KS), Knowles PPA (Kn), Ladner – Fischer PPA (LF). Для проектирования в базе заказных СБИС использовался маршрут, включающий средства логического синтеза САПР Synopsys Design Compiler с минимизацией критического пути. Синтез проводился в базе стандартных ячеек свободно распространяемой библиотеки NangateOpenCellLibrary [19] с проектными нормами 45 нм. В таблицах 1 и 2 представлены результаты синтеза сумматоров по модулям $2^n - 1$ и $2^n + 1$, соответственно. На рис. 8 и 9 представлены графики зависимости аппаратных и временных затрат от разрядности и используемой архитектуры для сумматоров по модулям $2^n - 1$ и $2^n + 1$, соответственно.

Таблица 1

Результаты моделирования PPA сумматоров по модулю $2^n - 1$

PPA	8 бит	16 бит	32 бит	64 бит	128 бит
Задержка, нс					
KS	0,41	0,55	0,72	1,73	3,8
Kn	0,43	0,62	0,77	1,98	2,3
LF	0,46	0,65	0,97	1,77	2,7
Занимаемая площадь, мкм²					
KS	240	620	1527	3867	4369
Kn	233	492	1230	3854	4365
LF	195	473	1090	3721	4102

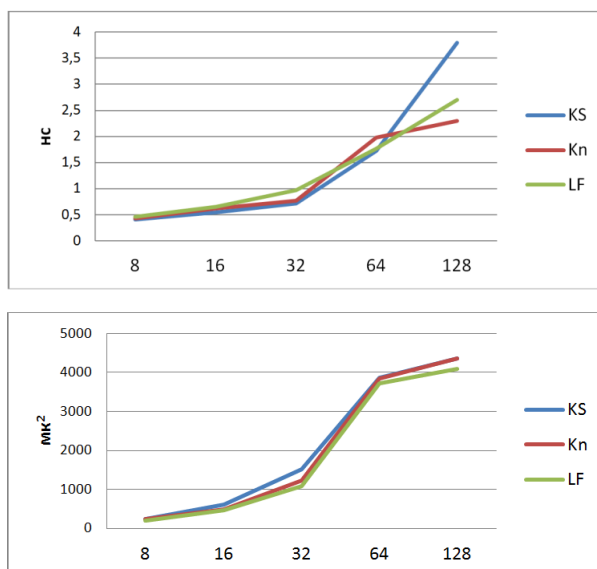


Рис. 8. График результатов моделирования сумматоров по модулю $2^n - 1$ в зависимости от архитектуры и числа разрядов

Результаты моделирования построенных схем модульных сумматоров показали, что на разрядностях до 64 бит архитектура на базе модифицированного дерева переносов Kogge-Stone PPA выигрывает по быстродействию, но проигрывает по аппаратным затратам остальным рассматриваемым архитектурам. Свыше 64 бит можно наблюдать обратную картину архитектуры на базе Kogge-Stone PPA сильно начинает проигрывать архитектура на базе Knowles PPA, оставаясь сравнимым с ним по аппаратным затратам. Архитектура на базе Ladner – Fischer PPA на всей размерности входных данных показала самые экономичные затраты.

Таблица 2

Результаты моделирования PPA сумматоров по модулю $2^n + 1$

PPA	8 бит	16 бит	32 бит	64 бит	128 бит
Задержка, нс					
KS	0,62	1,03	1,12	2,1	4,1
Kn	0,61	0,89	1,04	1,84	3,58
LF	0,67	1,02	1,05	1,68	2,35
Занимаемая площадь, мкм²					
KS	278	658	1582	3981	4524
Kn	279	563	1354	3954	4478
LF	264	524	1248	3893	4189

Результаты моделирования построенных схем модульных сумматоров показали, что на разрядностях до 32 бит архитектура на базе модифицированного дерева переносов Knowles PPA обладает наименьшими задержками и средними аппаратными затратами. Свыше 32 бит архитектура на базе Ladner – Fischer PPA наиболее эффективна как по задержкам, так и по аппаратным затратам.

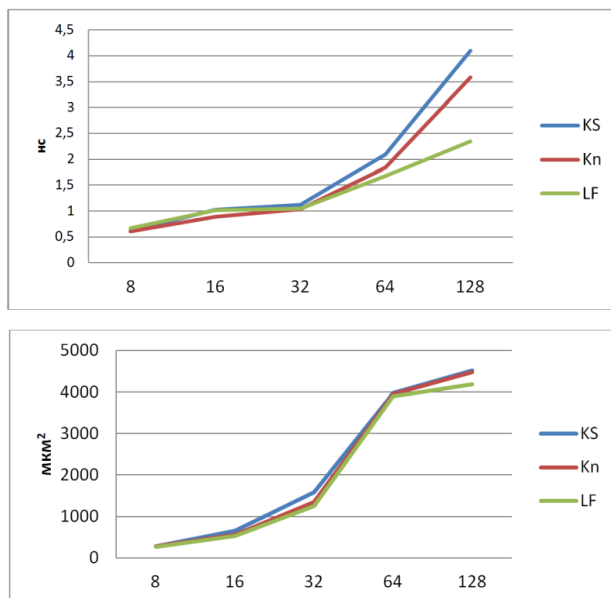


Рис. 9. График результатов моделирования сумматоров по модулю $2^n + 1$ в зависимости от архитектуры и числа разрядов

Заключение. В работе рассматривается задача построения параллельного модульного сумматора на базе архитектур комбинационных сумматоров с параллельным переносом (Parallel Prefix Adder) в рамках задач проектирования высокоскоростных модульных устройств. Модулярная арифметика представляет собой непозиционную арифметику: при выполнении мультипликативных и аддитивных операций отсутствуют межразрядные переносы, что делает ее весьма привлекательной в области построения высокоскоростных вычислений, использующих целые числа большой разрядности. Однако, при проектировании устройств для обработки много-разрядных данных современные САПР используют регулярные структуры для построения комбинационных параллельных сумматоров, обладающие высоким быстродействием. Традиционными алгоритмами для построения сумматоров по модулю приблизиться по характеристикам к комбинационным PPA удастся только в частных случаях [20]. В данной работе архитектура модульных сумматоров рассматривается с позиций использования специальных оснований вида $(2^n \pm 1)$, которые максимально приближены к степени двойки, что позволяют использовать самые передовые архитектуры PPA с минимальным внесением избыточности.

В результате проведенных исследований, было выявлено, что архитектуру сумматоров по модулю $2^n - 1$ целесообразно строить на базе семейства Knowles PPA. Т.к. данное семейство сумматоров обладает гибкой структурой, то необходимо провести дополнительные исследования в рамках построения сумматоров по модулю на его основе. Для сумматоров по модулю $2^n + 1$ целесообразно использовать архитектуру на основе семейства Ladner – Fischer PPA.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. «50 лет модулярной арифметике». Юбилейная Международная научно-техническая конференция (В рамках V Международной научно-технической конференции «Электроника и информатика – 2005»): Сборник научных трудов. – М.: ОАО «Ангстрем», МИЭТ, 2006. – 775 с.

2. *Shalini R.V., Sampath, P.* Designing of Area and Power Efficient Modulo $2N$ Multiplier // Eco-friendly Computing and Communication Systems (ICECCS), 2014. – 3rd International Conference on, On page(s). – P. 246-249.
3. *Azadeh Alsadat Emrani Zarandi, Amir Sabbagh Molahosseini, Mehdi Hosseinzadeh, Saeid Sorouri, Samuel Antão, and Leonel Sousa.* Reverse Converter Design via Parallel-Prefix Adders: Novel Components, Methodology, and Implementations // in IEEE Trans. on VLSI SYSTEMS., January 16, 2014.
4. *Chen J. and Hu J.* Energy-efficient digital signal processing via voltageover scaling-based residue number system // IEEE Trans. Very Large Scale Integr. (VLSI) Syst. – Jul. 2013. – Vol. 21, No. 7. – P. 1322-1332.
5. *Кравченко В., Радченко Д.* Современные технологии RTL-синтеза в продуктах компании Synopsys // Электроника: наука, технология, бизнес. – 2005. – № 2. – С. 66-69.
6. *Sudheer Kumar Yezerla, B RajendraNaik.* Design and Estimation of delay, power and area for Parallel prefix adders // Recent Advances in Engineering and Computational Sciences. – 2014. – Vol. 2. – P. 1-6.
7. *Sunitha P.* A Novel Approach For Designing A Low Power Parallel Prefix Adders. – October 2012. – Vol. 1, Issue 8.
8. *Padmajarani S.V., and Muralidhar M.* A New Approach to implement Parallel Prefix Adders in an FPGA. A Novel Approach For Designing A Low Power Parallel Prefix Adders. – 2012. – P. 1524-1528.
9. *Naganathan Vignesh.* A Comparative Analysis of Parallel Prefix Adders in 32 nm and 45 nm static CMOS Technology. Dissertations. The University of Texas at Austin, 2015.
10. *Kogge P. and Stone H.* A parallel algorithm for the efficient solution of a general class of recurrence relations // IEEE Transactions on Computers. – 1973. – Vol. C-22. – P. 786-793.
11. *Knowles S.* A family of adders // Proceedings of the 15th IEEE Symposium on Computer Arithmetic. – June 2001. – P. 277-281.
12. *Ladner R. and Fischer M.* Parallel prefix Computation // Journal of the ACM. – 1980. – Vol. 27. – P. 831-838.
13. *CH. Pavan Kumar and K. Sivani.* Implementation of Efficient Parallel Prefix Adders for Residue Number System // Int. J. Com. Dig. Sys. 4, o.4 (Oct-2015). – P. 295-300.
14. *Brent R.P. and Kung H.T.* A regular layout for parallel adders // IEEE Transactions on Computers. – 1982. – Vol. C-31. – P. 260-264.
15. *Sklansky J.* Conditional-sum addition logic // IRE Transactions on Electronic Computers. – 1960. – Vol. EC-9. – P. 226-231.
16. *Omondi Amos, Premkumar Benjamin,* Eds., Residue Number Systems: Theory and Implementation (Advances in Computer Science and Engineering Texts) London, UK: Imperial College Press, September 10, 2007).
17. *Jaberipur and S. Nejati.* Balanced minimal latency RNS addition for moduli set $\{2n-1, 2n, 2n+1\}$ // in Proc. 18th Int. Conf. Systems, Signals and Image Processing (IWSSIP). – 2011. – P. 1-7.
18. *Jaberipur G. and Parhami B.* “Unified Approach to the Design of Modulo- $(2n+1)$ Adders Based on Signed-LSB Representation of Residues,” // Proc. 19th IEEE Symp. Computer Arithmetic. – 2009. – P. 57-64.
19. NanGate 45nm Open Cell Library. – Режим доступа: <http://www.nangate.com/> (дата обращения: 28.04.2016).
20. *Балака Е.С. Тельпухов Д.В., Осинин И.П., Городецкий Д.А.* Сравнительное исследование и анализ методов аппаратной реализации сумматоров по модулю // Universum: Технические науки: электрон. научн. журн. – 2016. – № 1 (23). – URL: <http://7universum.com/ru/tech/archive/item/2887> (дата обращения: 28.04.2016).

REFERENCES

1. «50 let modulyarnoy arifmetike». Yubileynaya Mezhdunarodnaya nauchno-tekhnicheskaya konferentsiya (V ramkakh V Mezhdunarodnoy nauchno-tekhnicheskoy konferentsii «Elektronika i informatika – 2005»): Sbornik nauchnykh trudov [Collection of scientific works Anniversary International Scientific Conference "50 years of Residue Number System"]. Moscow: OAO «Angstrom», MIET, 2006, 775 p.

2. Shalini R.V., Sampath, P. Designing of Area and Power Efficient Modulo $2N$ Multiplier, *Eco-friendly Computing and Communication Systems (ICECCS)*, 2014. 3rd International Conference on, On page(s), pp. 246-249.
3. Azadeh Alsadat Emrani Zarandi, Amir Sabbagh Molahosseini, Mehdi Hosseinzadeh, Saeid Sorouri, Samuel Antão, and Leonel Sousa. Reverse Converter Design via Parallel-Prefix Adders: Novel Components, Methodology, and Implementations, in *IEEE Trans. on VLSI SYSTEMS*, January 16, 2014.
4. Chen J. and Hu J. Energy-efficient digital signal processing via voltageover scaling-based residue number system, *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, Jul. 2013, Vol. 21, No. 7, pp. 1322-1332.
5. Kravchenko V., Radchenko D. Sovremennye tekhnologii RTL-sinteza v produktakh kompanii Synopsys [Modern technology RTL-synthesis products from Synopsys], *Elektronika: nauka, tekhnologiya, biznes* [Electronics: Science, Technology, Business], 2005, No. 2, pp. 66-69.
6. Sudheer Kumar Yezerla, B RajendraNaik. Design and Estimation of delay, power and area for Parallel prefix adders, *Recent Advances in Engineering and Computational Sciences*, 2014, Vol. 2, pp. 1-6.
7. Sumitha P. A Novel Approach For Designing A Low Power Parallel Prefix Adders, October 2012, Vol. 1, Issue 8.
8. Padmajarani S.V., and Muralidhar M. A New Approach to implement Parallel Prefix Adders in an FPGA. A Novel Approach For Designing A Low Power Parallel Prefix Adders, 2012, pp. 1524-1528.
9. Naganathan Vignesh. A Comparative Analysis of Parallel Prefix Adders in 32 nm and 45 nm static CMOS Technology. Dissertations. The University of Texas at Austin, 2015.
10. Kogge P. and Stone H. A parallel algorithm for the efficient solution of a general class of recurrence relations, *IEEE Transactions on Computers*, 1973, Vol. C-22, pp. 786-793.
11. Knowles S. A family of adders, *Proceedings of the 15th IEEE Symposium on Computer Arithmetic*, June 2001, pp. 277-281.
12. Ladner R. and Fischer M. Parallel prefix Computation, *Journal of the ACM*, 1980, Vol. 27, pp. 831-838.
13. CH. Pavan Kumar and K. Sivani. Implementation of Efficient Parallel Prefix Adders for Residue Number System, *Int. J. Com. Dig. Sys. 4, o.4 (Oct-2015)*, pp. 295-300.
14. Brent R.P. and Kung H.T. A regular layout for parallel adders, *IEEE Transactions on Computers*, 1982, Vol. C-31, pp. 260-264.
15. Sklansky J. Conditional-sum addition logic, *IRE Transactions on Electronic Computers*, 1960, Vol. EC-9, pp. 226-231.
16. Omondi Amos, Premkumar Benjamin, Eds., Residue Number Systems: Theory and Implementation (Advances in Computer Science and Engineering Texts) London, UK: Imperial College Press, September 10, 2007).
17. Jaberipur and S. Nejati. Balanced minimal latency RNS addition for moduli set $\{2n-1, 2n, 2n+1\}$, in *Proc. 18th Int. Conf. Systems, Signals and Image Processing (IWSSIP)*, 2011, pp. 1-7.
18. Jaberipur G. and Parhami B. Unified Approach to the Design of Modulo- $(2n+1)$ Adders Based on Signed-LSB Representation of Residues, *Proc. 19th IEEE Symp. Computer Arithmetic*, 2009, pp. 57-64.
19. NanGate 45nm Open Cell Library. Available at: <http://www.nangate.com/> (accessed 28 April 2016).
20. Balaka E.S. Tel'pukhov D.V., Osinin I.P., Gorodetskiy D.A. Sravnitel'noe issledovanie i analiz metodov apparatnoy realizatsii summatorov po modulyu [Comparative study and analysis methods hardware implementation RNS-based Adders], *Universum: Tekhnicheskie nauki: elektron. nauchn. zhurn.* [Universum: Technical Sciences: electronic scientific journal], 2016, No. 1 (23). Available at: <http://7universum.com/ru/tech/archive/item/2887> (accessed 28 April 2016).

Статью рекомендовал к опубликованию д.т.н., профессор А.Л. Глебов.

Щелоков Альберт Николаевич – Институт проблем проектирования в микроэлектронике РАН; e-mail: schan@iprm.ru; Москва, г. Зеленоград, ул. Советская, 3; тел.: +74997299890; с.н.с.; к.ф.-м.н.

Балака Екатерина Станиславовна – e-mail: balakaes@yandex.ru; тел.: +79067389568; с.н.с.

Рухлов Владимир Сергеевич – e-mail: do1p@ya.ru; тел.: +79167866596; м.н.с.

Городецкий Данила Андреевич – Объединенный институт проблем информатики НАНБ; e-mail: danila.gorodecky@gmail.com; 220012, Беларусь, г. Минск, ул. Сурганова, 6; к.т.н.

Schelokov Albert Nikolaevich – Institute for design problems in microelectronics of Russian Academy of Science; e-mail: schan@ippm.ru; 3, Sovetskaya street, Zelenograd, Moscow; phone: +74997299890; senior researcher; cand. of phys.-math. sc.

Balaka Ekaterina Stanislavovna – e-mail: balakaes@yandex.ru; phone: +79067389568; senior researcher; cand. of eng. sc.

Rukhlov Vladimir Sergeevich – e-mail: do1p@ya.ru; phone: +79167866596; junior researcher.

Gorodecky Danila Andreevich – The State Scientific Institution "The United Institute of Informatics Problems of the National Academy of Sciences of Belarus" (UIIP NASB); e-mail: danila.gorodecky@gmail.com; 6, Surganova street, Minsk, 220012, Belarus; cand. of eng. sc.