

Раздел IV. Вычислительная техника и электроника

УДК 621.3.049.771.14

С.В. Гаврилов, Е.С. Карева, Д.И. Рыжова, А.Н. Щелоков

МЕТОДЫ РАЗРАБОТКИ ГРАФОВЫХ МОДЕЛЕЙ РЕГУЛЯРНЫХ СТРУКТУР FINFET ТРАНЗИСТОРОВ С НЕЗАВИСИМЫМИ ЗАТВОРАМИ

С увеличением степени интеграции и уменьшением технологических размеров транзисторов в нанoeлектронике сформировалось новое направление – проектирование на основе FinFET транзисторов (Fin Field Effect Transistor). За счет использования трехмерного затвора FinFET транзистора в форме плавника повышается эффективная ширина затвора при сходной площади логической ячейки. При каждом переходе к новым технологическим процессам усиливается влияние правил проектирования. Однородная топология позволяет уменьшить число ограничений и правил, которые необходимо соблюдать при проектировании, а также сократить минимальный размер топологии. В связи с этим возникает потребность в использовании регулярных структур при разработке топологии. В данной работе рассмотрены методы разработки топологии регулярных структур на FinFET транзисторах с независимыми затворами на основе выбора топологического шаблона и на основе технологии режущих слоев, разработаны топологические модели логических элементов для обоих методов. Для метода разработки топологии регулярных структур на основе технологии режущих слоев выведено формульное соотношение для определения количества различных вариантов топологии, изучен и доказан метод поиска наиболее компактных топологических структур и приведены компактные топологические схемы для логических элементов, построенных на IG FinFET транзисторов. Предложенный метод формирования схем на основе регулярных FinFET структур позволяет более эффективно использовать поликремний для реализации затворов транзисторов. В отличие от аналогичных методов, разработанный подход позволяет в 1,5 раза сократить площадь конечной топологии за счет уменьшения количества изолирующих затворов.

FinFET транзистор; логический синтез; топологический синтез; ориентированный ациклический граф последовательно-параллельных структур; регулярные структуры; топологический шаблон.

S.V. Gavrilov, E.S. Kareva, D.I. Ryzhova, A.N. Schelokov

PHYSICAL MODEL OF REGULAR STRUCTURES BASED ON FINFET TRANSISTORS WITH INDEPENDENT GATES

With the increase in the degree of integration and the decrease in the technological dimensions of transistors, a new research field in nanoelectronics has been formed – the design of CMOS circuit based on the FinFETs (Fin Field Effect Transistors). By using the three-dimensional gate of the FinFET in the form of a fin, the effective gate width increases at the same area of the logic cell. With each transition to new technological processes, the influence of design rules increases. A homogeneous layout reduces the resulting area and the number of constraints and rules which must be observed in design. In this regard, we use regular structures in the layout design. In this paper, we consider methods of layout development based on the regular FinFET template and based on the technology of cutting layers. As a result, we developed topological models of logical elements for both methods. For the method of regular layout design with cutting layers, a formula relation for determining the number of different layout variants is derived. We proposed a method of searching for the most compact layout designs and presented compact lay-

out of circuits for IG FinFETs logical elements. The proposed method provides more efficient use of polysilicon for the realization of gate IG FinFETs. Unlike similar methods, it allows reducing the area of the final layout by a factor of 1.5 (by reducing the number of isolating gates).

Fin Field Effect Transistor (FinFET); logical synthesis; physical synthesis; serial-parallel directed acyclic graph (SP-DAG); regular structure; transistor pattern.

Введение. FinFET транзисторы – это новое направление в проектировании микросхем, за счет использования трехмерного затвора транзистора в форме плавника повышается эффективная ширина затвора при сходной площади логической ячейки [1]. По информации Globalfoundries транзисторные 3D-структуры в 32 нм техпроцессе обещают снижение энергопотребления более чем на 60 % по сравнению с существующим КМОП техпроцессом [2]. При этом КМОП технология с трехмерным затвором транзистора имеет возможность работы с питанием вблизи порогового значения (0,3–0,5 В).

FinFET структура может быть спроектирована в одном из следующих режимов [3]:

1. Shorted-Gate (SG) или Tri-gate (TG) – режим, при котором оба затвора соединены, и мы получаем более надёжное управление и лучший контроль длины канала;
2. Independent-Gate (IG) или Double-Gate (DG) – режим, при котором независимые сигналы подаются на независимые затворы, что уменьшает площадь схемы;
3. Low Power (LP) – режим малой мощности, при котором на n-канал подаётся низкое напряжение, а на p-канал – высокое, что позволяет уменьшить статическую мощность;
4. Гибридный IG/LP режим представляет собой компоновку режимов LP и IG.

На рис. 1,а приведена простая структура SG (Shorted-Gate) FinFET транзистора. Структура состоит из “плавника” (fin) – области диффузии для стока и истока, которая окружена затвором. Физические размеры транзистора описываются высотой плавника h_{FIN} , толщиной плавника (или кремния) T_{SI} и длиной канала L_{FIN} [4]. Так как верхняя часть затвора отделена от плавника сравнительно толстым слоем окисла, вклад этой части затвора в работу транзистора можно не учитывать [5]. У такого транзистора длина канала L_{FIN} , а ширина – W_{min} (1).

$$W_{min} \approx 2 \cdot h_{FIN} \quad (1)$$

На рис. 1,б приведена структура IG (Independent-Gate) FinFET транзистора, которую можно получить путем удаления верхней части затвора обычного SG-FinFET транзистора [6].

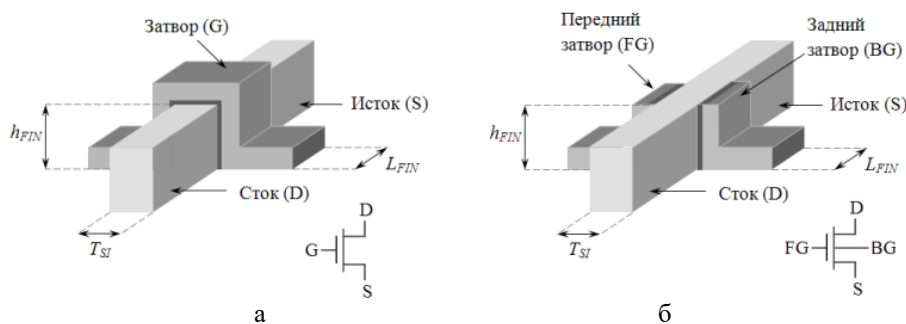


Рис. 1. Структуры FinFET транзисторов

В качестве примера топологии FinFET транзисторов приведём логический элемент NAND2, построенный на четырех IG FinFET транзисторах в виде стандартной ячейки (рис. 2).

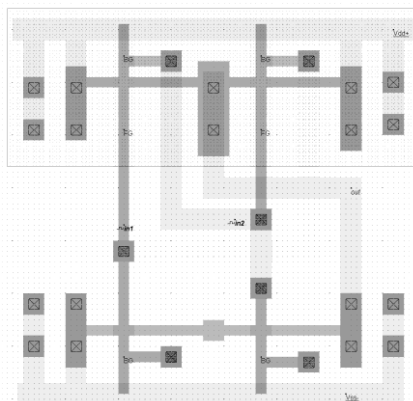


Рис. 2. NAND2 на IG FinFET транзисторах

В данной работе использовалась IG FinFET технология, так как она по сравнению с другими обеспечивает меньшее потребление мощности, меньшую площадь устройства и сравнительно небольшую задержку.

При проектировании схем большого размера в некоторых случаях вместо топологии стандартных ячеек используется регулярная топология. Это позволяет уменьшить число правил, которые необходимо соблюдать при проектировании, так как выполнение большей части правил и ограничений уже предусмотрено при разработке топологии. Например, регулярная структура схем памяти из повторяющихся блоков упрощает ее изготовление.

Тенденция развития технологических процессов показывает, что чем современнее технологический процесс, тем больше требования регулярности некоторых слоев топологии. Например, для технологического процесса 130 нм допустимыми являются конструкции топологии, содержащие слои поликремния, которые расположены на разных расстояниях друг от друга и обладают разной шириной, также допускается разная ориентация затворов транзисторов. Для технологического процесса 45 нм расстояние между затворами уже ограничено до нескольких допустимых значений, а технологическим процессам как 28 нм и менее характерны одинаковые размеры затворов, размещенные на равномерной сетке, при единственной допустимой ориентации.

Для FinFET технологических процессов 22 нм и менее из-за специфики конструкции транзистора не только слои поликремния, но и слои диффузии должны быть на равномерной сетке. Это ограничение связано с тем, что эффективная ширина транзистора ограничена геометрическими размерами «плавника» и шагом между ними. Можно сказать, что для таких технологических процессов единственно возможным подходом остается использование строго регулярной топологии в базовых слоях [7–8].

Существует несколько способов формирования регулярных структур. В данной статье будем говорить о двух из них: на основе топологического шаблона и на основе технологи режущих слоев. Способ формирования регулярных структур на основе технологи режущих слоев подходит для технологических процессов мень-

шего размера и позволяет добиться формирования более компактной топологии по сравнению со способом формирования регулярных структур на основе топологического шаблона, поэтому в данной статье он будет рассмотрен более подробно.

1. Разработка топологии FinFET транзисторов для регулярных структур на основе топологического шаблона. В качестве альтернативы стандартным ячейкам и отдельным транзисторам вводится функциональный элемент специального типа. Простейшие логические элементы строятся на основе произвольного фрагмента регулярной топологии, называемого топологическим шаблоном. В статьях [9–12] приведены требования к топологическим шаблонам, построенным по FinFET технологии.

В качестве такого шаблона используется конструкция, представленная на рис. 3. В ней два длинных (функциональных) затвора ограничены справа и слева короткими (изолирующими) затворами.

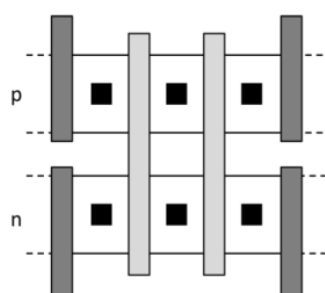


Рис. 3. Шаблон регулярной топологии

В статьях [13–15] приведен метод построения SP-NM-графа на основе функции логического элемента (который является модификацией SP-графа [16–19]) и алгоритм синтеза топологии из SP-NM-графа. Пример топологии схемы И-ИЛИ-НЕ21, построенной на FinFET транзисторах с независимыми затворами на основе топологического шаблона, представлен на рис. 4.

Использование топологического шаблона применимо для сравнительно небольших блоков. Для больших схем такая конструкция не предназначена и вводит лишние потери по площади. Кроме того, для создания шаблона приходится прибегать к таким нежелательным шагам, как дублирование затворов отдельных транзисторов, вследствие чего увеличивается общая площадь.

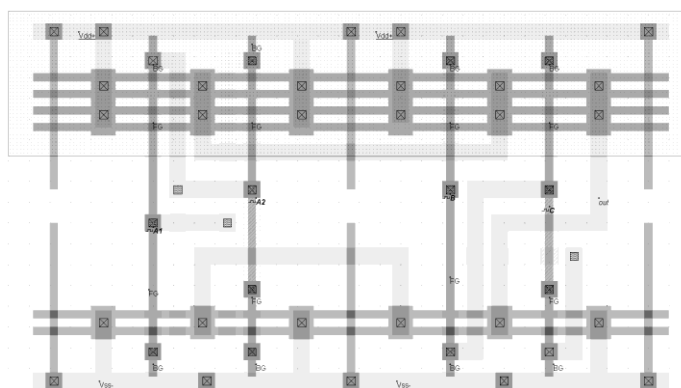


Рис. 4. Топология полученной из SP-NM графа схемы И-ИЛИ-НЕ21 на основе топологического шаблона

2. Разработка топологии FinFET транзисторов для регулярных структур на основе технологии режущих слоев. Начиная с технологии 28 нм и ниже удобно использовать технологию режущих слоев, описанную в работе [20]. В этой технологии также используется SP-NM граф, строящийся на основе конкретной функции и отражающий в себе расположение транзисторов в топологии. Как можно заметить, для одной функции существует несколько вариантов построения такого графа. Каждый транзистор каждой из двух частей графа (pull-up PU и pull-down PD) можно расположить в нормальном или инверсном направлениях, прием один и тот же транзистор в разных частях графа может быть расположен по-разному. Каждую функцию также можно расположить двумя способами, однако, в разных частях графа направления одной и той же функции должны совпадать, т.к. направление функции определяет порядок расположения затворов в топологии, а затвор является общим для двух транзисторов – в PU и PD частях схемы.

Таким образом, получается следующая формула:

$$N = 2^m * 2^k = 2^{m+k},$$

где N – количество вариантов регулярной топологии для функции; m – количество арифметических операций в формуле функции без учета общей инверсии в PD цепи и частных инверсий в PU цепи (m в PU цепи равно m в PD цепи, так как это два варианта одной и той же функции), а k – количество транзисторов в схеме.

Для стандартных КМОП-вентилей $k = 2n$, где n – количество входов в схеме, а $m = n - 1 \Rightarrow N = 2^{n-1+2n} = 2^{3n-1}$.

Рассмотрим алгоритм выбора компактной реализации для элемента NOR2:

1) Pull-up и pull-down цепи для неё будут следующими:

$$PD: f = a + b, \quad PU: f = \overline{a} * \overline{b}.$$

2) Так как в SP-NM графе каждый транзистор в каждой из цепей можно расположить в одном из двух направлений (N – прямое, M – инверсное), а также для обеих цепей одновременно можно использовать функцию в одном из двух направлений, то для функции NOR2 получается $4*4*2 = 36$ вариантов SP-NM графов, а соответственно и столько же вариантов топологии (рис. 5, 6).

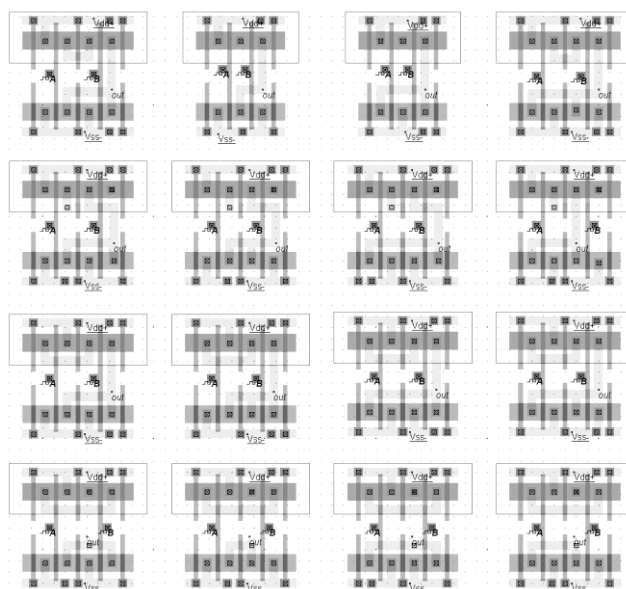


Рис. 5. Варианты построения NOR2 с прямым расположением функции

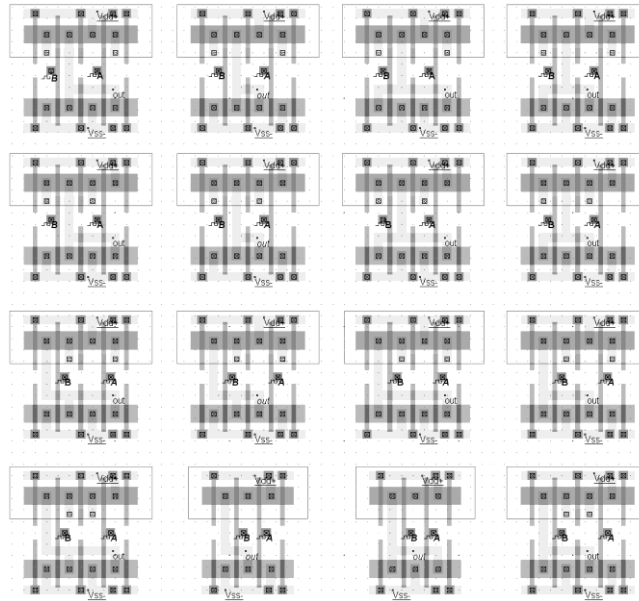


Рис. 6. Варианты построения NOR2 с инверсным расположением функции

Как видно из рис. 5 и 6, не все варианты топологии NOR2 имеют одинаковый размер. В левой и правой группах содержится по 2 варианта топологии, имеющих меньший размер по сравнению с остальными вариантами (рис. 7).

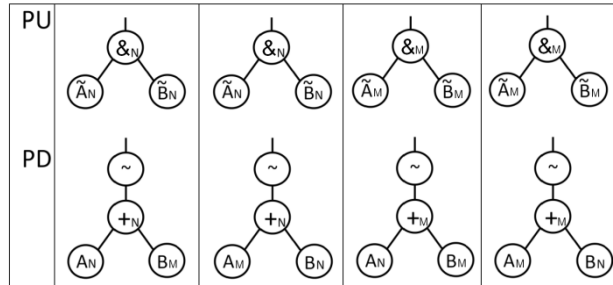


Рис. 7. Варианты SP-NM графов для функции NOR2, соответствующие вариантам компактной топологии

Полученный набор графов подтверждает следующий вывод: «Если хотя бы в одной из частей SP-NM-графа (PU или PD) направления рядом стоящих аргументов совпадают во время дизъюнкции, то затворы, подключенные к соответствующим входам, должны быть изолированы в топологии (т.е. на поликремний между двумя функциональными затворами налаживается заготовка изолирующего затвора). Во время конъюнкции, наоборот, изоляция нужна тогда, когда направления рядом стоящих аргументов не совпадают, а также если направления аргументов совпадают, но они не совпадают с направлением функции» [20]. Очевидно, что для получения компактной топологии необходимо использовать такие варианты SP-NM графов, где для обеих частей (PU и PD) изолирующие затворы не нужны.

Для функций с тремя и более входами (типа NAND3), где параллельно/последовательно подключены более двух транзисторов в рамках данной работы были выведены следующие правила, при соблюдении которых отпадает необходимость в изолирующих затворах между аргументами:

- 1) При неоднократно повторяющейся дизъюнкции (параллельном подключении) направления всех аргументов должны чередоваться. При этом выбор направления каждой из функций дизъюнкции роли не играет (рис. 8).

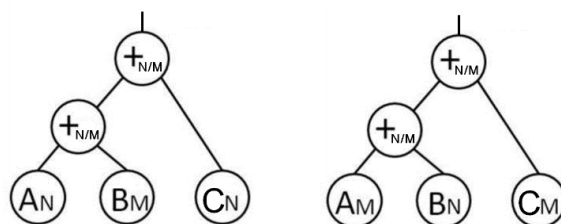


Рис. 8. Пример двойной дизъюнкции

- 2) При неоднократно повторяющейся конъюнкции (последовательном подключении) направления всех аргументов должны совпадать между собой, а также с направлениями всех функций конъюнкции (рис. 9).

Варианты SP-NM графа, представленные на рис. 7, противоречат всем условиям наличия изолирующих затворов, поэтому для этих вариантов изолирующие затворы между функциональными (соответствующими аргументам функции) не нужны. Поэтому эти варианты соответствуют наиболее компактным топологиям. В остальных 28 вариантах выполняется хотя бы одно из описанных выше условий, а значит, изолирующие затворы необходимы.

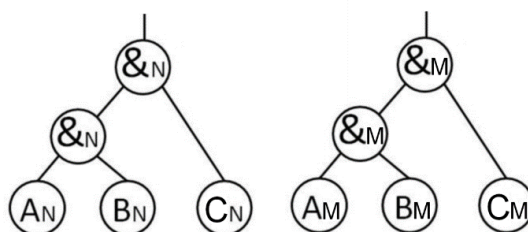


Рис. 9. Пример двойной конъюнкции

Таким образом, для любой функции можно определить количество вариантов SP-NM графов, построить те из них, для которых не выполняется ни одно из условий наличия изолирующих затворов, и по этим графам построить варианты наиболее компактной регулярной топологии для этой функции.

Опираясь на вышесказанное, приведем наиболее компактные варианты топологии элемента NOR2, построенного на FinFET транзисторах с независимыми затворами (рис. 10).

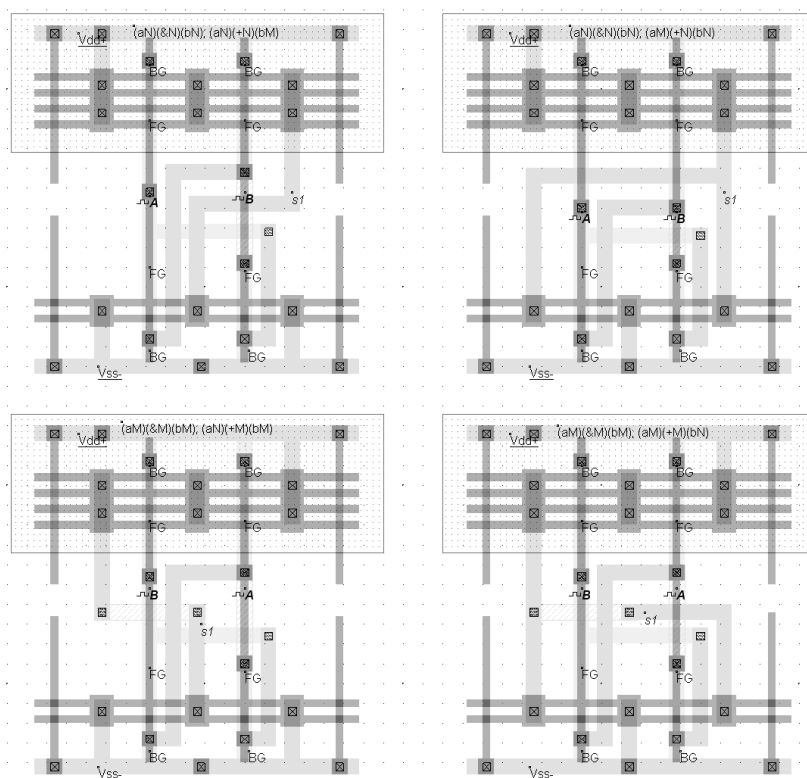


Рис. 10. Варианты компактной топологии элемента NOR2, построенного на FinFET транзисторах с независимыми затворами

За счет сокращения числа изолирующих затворов можно уменьшить площадь стандартных ячеек в среднем в 1,5 раза, что количественно согласуется с полученными ранее результатами [12, 15, 20].

Заключение. В данной работе рассмотрены методы построения топологических моделей регулярных структур транзисторов на основе топологического шаблона и технологии режущих слоев. На основе этих моделей построена топология регулярных структур для FinFET транзисторов с независимыми затворами. Для метода построения регулярных структур на основе технологии режущих слоев предложен способ составления SP-NM графов, описывающих наиболее компактную топологию функции, и доказана его правильность на примере построения логического элемента NOR2. Разработанный метод компактизации топологии наносхем на основе регулярных FinFET структур позволяет уменьшить в 1,5 раза площадь конечной топологии за счет уменьшения количества изолирующих затворов.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Гаврилов С.В., Иванова Г.А., Стемпковский А.Л. Теоретико-графовая модель сложно-функциональных блоков для КМОП технологий с трехмерной структурой транзистора // Известия ЮФУ. Технические науки. – 2014. – № 7 (156). – С. 58-66.
2. Globalfoundries. Technology Solutions/CMOS. – <https://www.globalfoundries.com/technology-solutions/cmos>.
3. Kushwah R., Chauhan M., Shrivastava P. and Akashe S. Modelling and simulation of FinFET circuits with predictive technology models // Radioelectronics and Communications Systems. – 2014. – Vol. 57, Issue 12. – P. 553-558.

4. *Muttreja A., Agarwal N., Jha N.K.* CMOS Logic Design with Independent-gate FinFETs // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems. – 2007. – P. 560-567.
5. *Huang X., Lee W.-C., Kuo C., Hisamoto D.* Sub 50-nm FinFET: PFET // Tech. Dig. IEDM, Washington, DC, 1999. – P. 67-70.
6. *Collinge J.P.* FinFETs and Other Multi-Gate Transistors. – New York: Springer, 2008. – 340 p.
7. *Liu Y., Matsukawa T., Endo K., Masahara M.* Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses // IEEE Electron Device Lett. – 2007. – Vol. 28, No. 6. – P. 517-519.
8. *Талалай М.С., Трушин К.В., Венгер О.В.* Логический синтез комбинационных схем на основе транзисторных шаблонов с регулярной топологией // Информационные технологии. – 2011. – № 4 (176). – P. 2-7.
9. *Гаврилов С.В., Жукова Т.Д., Иванова Г.А., Рыжова Д.И.* Методы логико-временного проектирования библиотечных элементов и блоков СБИС для перспективных технологий с вертикальным затвором транзистора // VII Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем – 2016»: Сб. научн. тр. / под общей ред. А.Л. Стемпковского. Ч. I. – С. 56-63.
10. *Гаврилов С.В., Иванова Г.А., Манукян А.А.* Новые проблемы логико-топологического синтеза заказных сложно-функциональных блоков и методы их решения // Информационные технологии. – 2014. – № 8. – С. 44-50.
11. *Гаврилов С.В., Иванова Г.А., Манукян А.А.* Методы проектирования заказных сложно-функциональных блоков в базисе элементов с регулярной топологической структурой в слоях поликремния и диффузии // VI Всероссийская научно-техническая конференция «Проблемы разработки перспективных микро- и наноэлектронных систем - 2014»: Сборник трудов / под общ. ред. академика РАН А.Л. Стемпковского. – М.: ИППМ РАН, 2014. Ч. I. – С. 161-166.
12. *Gavrilov S., Ivanova G.* Simultaneous Logic and Layout Synthesis for Fin-fet Based Elements with Regular Layout in Polysilicon and Diffusion // Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2015). – 2015. – P. 264-267.
13. *Гаврилов С.В., Иванова Г.А., Щелоков А.Н.* Методы логико-топологического синтеза библиотечных элементов для КМОП технологий с трехмерной структурой транзистора // Труды Международного конгресса по интеллектуальным системам и информационным технологиям – 2014, “IS&IT’14”. – С. 98-102.
14. *Гаврилов С.В., Иванова Г.А., Волобуев П.С.* Актуальные проблемы автоматизации логико-топологического проектирования библиотечных элементов и блоков СБИС для нанометровых технологий // Вестник Рязанского государственного радиотехнического университета. – 2014. – № 4 (Вып. 50). Ч. 1. – С. 69-77.
15. *Гаврилов С.В., Рыжова Д.И.* Маршрут логико-топологического синтеза комбинационных схем для КМОП технологий с трехмерным затвором транзистора // Известия ЮФУ. Технические науки. – 2016. – № 6 (179). – С. 131-141.
16. *Bryant R.E.* Graph-Based Algorithms for Boolean Function Manipulation // IEEE Trans. on Computers. – 1986. – P. 677-691.
17. *Гаврилов С.В., Глебов А.Л.* BDD-based circuit level structural optimization for digital CMOS // 1-st Intern. Workshop "Multi-Architecture Low Power Design". – Moscow, 1999. – P. 45-49.
18. *Гаврилов С.В., Иванова Г.А., Рыжова Д.И.* Интервальная модель задержек КМОП вентиля // IV Международная научно-практическая конференция «Отечественная наука в эпоху изменений: постулаты прошлого и теории нового времени». – 2014. – № 4. Ч. 4. – С. 17-20.
19. *Гаврилов С.В., Глебов А.Л., Стемпковский А.Л.* Методы логического и логико-временного анализа цифровых КМОП СБИС. – М.: Наука, 2007. – 220 с.
20. *Манукян А.А.* Исследование и разработка методов логико-топологического синтеза библиотечных элементов и блоков для КМОП технологий с трёхмерным затвором транзистора: дисс. ... канд. техн. наук. – 2015. – Режим доступа: https://www.miet.ru/upload/iblock/d6b/Manukyan_Dis.pdf.

REFERENCES

1. Gavrilov S.V., Ivanova G.A., Stempkovskiy A.L. Teoretiko-grafovaya model' slozhno-funktional'nykh blokov dlya KMOP tekhnologiy s trekhmernoy strukturoy tranzistora [Theoretical-graph model of ip-blocks for CMOS technology with 3d structure of the transistor], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2014, No. 7 (156), pp. 58-66.
2. Globalfoundries. Technology Solutions/CMOS. Available at: <https://www.globalfoundries.com/technology-solutions/cmos>.
3. Kushwah R., Chauhan M., Shrivastava P. and Akashe S. Modelling and simulation of FinFET circuits with predictive technology models, *Radioelectronics and Communications Systems*, 2014, Vol. 57, Issue 12, pp. 553-558.
4. Muttreja A., Agarwal N., Jha N.K. CMOS Logic Design with Independent-gate FinFETs, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2007, pp. 560-567.
5. Huang X., Lee W.-C., Kuo C., Hisamoto D. Sub 50-nm FinFET: PFET, *Tech. Dig. IEDM, Washington, DC, 1999*, pp. 67-70.
6. Collinge J.P. FinFETs and Other Multi-Gate Transistors. New York: Springer, 2008, 340 p.
7. Liu Y., Matsukawa T., Endo K., Masahara M. Cointegration of high-performance tied-gate three-terminal FinFETs and variable threshold-voltage independent-gate four-terminal FinFETs with asymmetric gate-oxide thicknesses, *IEEE Electron Device Lett.*, 2007, Vol. 28, No. 6, pp. 517-519.
8. Talalay M.S., Trushin K.V., Venger O.V. Logicheskiy sintez kombinatsionnykh skhem na osnove tranzistornykh shablonov s regulyarnoy topologiyey [Logic synthesis for combinational circuits based on transistor patterns with regular topology], *Informatsionnye tekhnologii* [Information Technology], 2011, No. 4 (176), pp. 2-7.
9. Gavrilov S.V., Zhukova T.D., Ivanova G.A., Ryzhova D.I. Metody logiko-vremennogo proektirovaniya biblioteknykh elementov i blokov SBIS dlya perspektivnykh tekhnologiy s vertikal'nym zatvorom tranzistora [Methods of logic-the temporary design library cells and blocks of VLSI for advanced technology with a vertical gate of the transistor], *VII Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2016»: Sb. nauchn. tr.* [VII all-Russian scientific and technical conference "problems of development of perspective micro- and nanoelectronic systems – 2016": a Collection of scientific trulov], under the General ed. A.L. Stempkovskogo. Part I, pp. 56-63.
10. Gavrilov S.V., Ivanova G.A., Manukyan A.A. Novye problemy logiko-topologicheskogo sinteza zakaznykh slozhno-funktional'nykh blokov i metody ikh resheniya [New problems of the logical-topological synthesis of custom-blocks and methods of their solution], *Informatsionnye tekhnologii* [Information Technology], 2014, No. 8, pp. 44-50.
11. Gavrilov S.V., Ivanova G.A., Manukyan A.A. Metody proektirovaniya zakaznykh slozhno-funktional'nykh blokov v bazise elementov s regulyarnoy topologicheskoy strukturoy v sloyakh polikremniya i diffuzii [Methods design of custom hard-function blocks in the basis elements with a regular topological structure in layers of polysilicon and diffusion], *VI Vserossiyskaya nauchno-tekhnicheskaya konferentsiya «Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem - 2014»: Sbornik trudov* [VI all-Russian scientific-technical conference "problems of development of perspective micro- and nanoelectronic systems - 2014": a Collection of articles], under the General editorship of academician RAS A.L. Stempkovskogo. Moscow: IPPM RAN, 2014. Part I, pp. 161-166.
12. Gavrilov S., Ivanova G. Simultaneous Logic and Layout Synthesis for Fin-fet Based Elements with Regular Layout in Polysilicon and Diffusion, *Proceedings of IEEE East-West Design & Test Symposium (EWDTS'2015)*, 2015, pp. 264-267.
13. Gavrilov S.V., Ivanova G.A., Shchelokov A.N. Metody logiko-topologicheskogo sinteza biblioteknykh elementov dlya KMOP tekhnologiy s trekhmernoy strukturoy tranzistora [Methods of logic-layout synthesis library cells for CMOS technology with three-dimensional transistor structures], *Trudy Mezhdunarodnogo kongressa po intellektual'nym sistemam i informatsionnym tekhnologiyam – 2014, "IS&IT'14"* [Proceedings of International Congress on intellectual systems and information technologies – 2014, "IS&IT'14"], pp. 98-102.

14. *Gavrilov S.V., Ivanova G.A., Volobuev P.S.* Aktual'nye problemy avtomatizatsii logiko-topologicheskogo proektirovaniya biblioteknykh elementov i blokov SBIS dlya nanometrykh tekhnologiy [Actual problems of automation of logical and topological design of library items and blocks for nanometer VLSI technologies], *Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta* [Bulletin of Ryazan state Radiotechnical University], 2014, No. 4 (Issue 50). Part 1, pp. 69-77.
15. *Gavrilov S.V., Ryzhova D.I.* Marshrut logiko-topologicheskogo sinteza kombinatsionnykh skhem dlya KMOP tekhnologiy s trekhmernym zatvorom tranzistora [The flow of the logical and physical synthesis of combinational circuits for cmos technology with 3d structure of the transistor], *Izvestiya YuFU. Tekhnicheskie nauki* [Izvestiya SFedU. Engineering Sciences], 2016, No. 6 (179), pp. 131-141.
16. *Bryant R.E.* Graph-Based Algorithms for Boolean Function Manipulation, *IEEE Trans. on Computers*, 1986, pp. 677-691.
17. *Gavrilov S.V., Glebov A.L.* BDD-based circuit level structural optimization for digital CMOS, *1-st Intern. Workshop "Multi-Architecture Low Power Design"*. Moscow, 1999, pp. 45-49.
18. *Gavrilov S.V., Ivanova G.A., Ryzhova D.I.* Interval'naya model' zaderzhek KMOP ventilya [Interval delay model of a CMOS gate], *IV Mezhdunarodnaya nauchno-prakticheskaya konferentsiya «Otechestvennaya nauka v epokhu izmeneniy: postulaty proshlogo i teorii novogo vremeni»* [IV international scientific-practical conference "Domestic science in the era of changes: postulates of the past and the new theory of time"], 2014, No. 4. Part 4, pp. 17-20.
19. *Gavrilov S.V., Glebov A.L., Stempkovskiy A.L.* Metody logicheskogo i logiko-vremennogo analiza tsifrovyykh KMOP SBIS [Methods of logical and logical-time analysis of digital CMOS VLSI]. Moscow: Nauka, 2007, 220 p.
20. *Manukyan A.A.* Issledovanie i razrabotka metodov logiko-topologicheskogo sinteza biblioteknykh elementov i blokov dlya KMOP tekhnologiy s trekhmernym zatvorom tranzistora: diss. ... kand. tekhn. nauk [The study and development of methods of logic-layout synthesis library cells and blocks for CMOS technology with three-dimensional gate of the transistor. Cand. of eng. sc. diss.], 2015. Available at: https://www.miet.ru/upload/iblock/d6b/Manukyan_Dis.pdf.

Статью рекомендовал к опубликованию д.т.н., профессор Ю.Ф. Адамов.

Гаврилов Сергей Витальевич – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey_g@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; зав. отделом; д.т.н.; профессор.

Карева Елена Сергеевна – e-mail: kareva_e@ippm.ru; отдел автоматизации проектирования цифровых схем; стажер-исследователь.

Рыжова Дарья Игоревна – e-mail: ryzhova_d@ippm.ru; отдел автоматизации проектирования цифровых схем; м.н.с.; к.т.н.

Щелоков Альберт Николаевич – e-mail: schan@ippm.ru; с.н.с.; к.ф.-м.н.; доцент.

Gavrilov Sergey Vitalievich – Institute for design problems in microelectronics of Russian Academy of Science (IPPM RAS); e-mail: sergey_g@ippm.ru; 124365, Moscow, Zelenograd, Sovetskaya street, 3; phone: +74997299890; the department of digital circuits design automation; head of department; dr. of eng. sc.; professor.

Kareva Elena Sergeevna – e-mail: kareva_e@ippm.ru; the department of digital circuits design automation, intern researcher;

Ryzhova Daria Igorevna – e-mail: ryzhova_d@ippm.ru; the department of digital circuits design automation; junior research scientist; cand. of eng. sc.

Schelokov Albert Nikolaevich – e-mail: schan@ippm.ru; senior researcher; cand. of phis.-math. sc.; associate professor.