

## Раздел I. Автоматизация проектирования

УДК 621.3.049.771.14

DOI 10.23683/2311-3103-2018-4-6-14

**С.В. Гаврилов, Д.И. Рыжова, А.Н. Щелоков**

### **ОБОБЩЕННЫЙ МЕТОД ГАУССА И ЕГО ПРИМЕНЕНИЕ В МАРШРУТЕ ПРОЕКТИРОВАНИЯ СВЕРХБОЛЬШИХ ИНТЕГРАЛЬНЫХ СХЕМ И СИСТЕМ НА КРИСТАЛЛЕ**

*При переходе к перспективным технологиям в нанометровом диапазоне возникает необходимость учета влияния различных факторов, в том числе деградации электрических параметров транзисторов и увеличение утечек. В основном, известные методы и алгоритмы анализа указанных выше факторов основаны на моделях, применяющихся только на схемотехническом уровне моделирования. Из-за усложнения моделей элементов схем и роста степени интеграции размерность задачи полного моделирования с учетом всего набора параметров резко возросла. Этот факт свидетельствует о снижении эффективности схемотехнического моделирования для таких случаев с точки зрения временных и машинных затрат. Решением данной проблемы может стать переход от схемотехнического к более высокому уровню абстракции. Предлагается логико-временная модель элемента (блока) КМОП ЦИС, сформированная методом исключения Гаусса. В отличие от существующих методов редуцирования схем, которые направлены на уменьшение размера RC-цепей, обобщенный метод Гаусса может быть применен к описанию блока на транзисторном уровне и позволяет представить произвольную структуру элемента или блока КМОП ЦИС в виде совокупности двух двухполюсников, представляющих проводящие пути, соединяющие выход схемы с шиной питания или земли. На каждом шаге обобщенного метода Гаусса из транзисторной схемы удаляется выбранный узел, а вместо цепей, соединенных с этим узлом, появляются новые, которые являются последовательными или параллельными комбинациями существующих цепей. Полученная логико-временная модель сочетает в себе логическую функцию и структуру блока на транзисторном уровне, которая позволяет перейти от схемотехнического на логико-временной уровень анализа. Она также позволяет рассчитывать временные характеристики схемы как функции от произвольного набора параметров транзисторов (длина канала, пороговое напряжение и т.д.) и ускорять процесс характеристики за счет предварительного анализа на логико-временном уровне с последующим переходом к схемотехническому моделированию для ограниченного подмножества тестовых последовательностей.*

*Сверхбольшая интегральная схема (СБИС); система на кристалле (СнК); автоматизация проектирования; влияние межсоединений.*

**S.V. Gavrilov, D.I. Ryzhova, A.N. Schelokov**

### **APPLICATION OF THE GENERALIZED GAUSSIAN METHOD IN THE VLSI AND SOC DESIGN FLOW**

*For transition to advanced nanotechnologies designing it is needed to consider the influence of various factors, including the degradation of the electrical parameters of transistors and the increased leakage. In general, the known methods and algorithms for analyzing the above factors are based on models that are applied only at the schematic level. Because of the complication of element models and the increase in the degree of integration, the dimension of the complete simulation problem, taking into account the entire set of parameters, has increased dramatically. This fact indicates a decrease in the efficiency of circuit simulation for such cases in terms of time and machine costs. The solution to this problem can be the transition from schematic level to a higher level of abstraction. Unlike the existing*

methods of reducing circuits that are aimed at reducing the size of RC-circuits, the generalized Gaussian method can be applied to the description of a block at the transistor level. It allows representing an arbitrary structure of an element or a CMOS IC block in the form of a set of two bipoles representing conductive paths connecting output of circuit with a power/ground bus. At each step of the generalized Gaussian method selected node is removed from the transistor circuit, and instead of the nets connected to this node, new ones appear – serial or parallel combinations of existing nets. A time-logical model of the IC element (block) is proposed. It is formed by the Gauss elimination method and combines the logic function and block structure at the transistor level, which allows moving from schematic level to time-logic level of analysis. It also allows calculating the time characteristics of the circuit as a function of an arbitrary set of transistor parameters (channel length, threshold voltage, etc.) and speed up the characterization process through preliminary analysis at the time-logic level with the Spice simulation for a limited subset of test sequences.

Very large-scale integration (VLSI); system on crystal (SoC); design automation; effect of interconnects.

**1. Адаптация метода исключения Гаусса к решению задачи автоматизации проектирования СБИС и СнК.** Обобщенный метод исключения Гаусса в классическом понимании относится к прямым методам решения систем линейных алгебраических уравнений (СЛАУ) типа  $Ax = b$ . Это метод последовательного исключения переменных, когда с помощью элементарных преобразований СЛАУ сводится к равносильной системе треугольного вида, из которой последовательно находятся все переменные системы [1–3]. Аналогичный подход в настоящей работе предлагается использовать для редукции графовых моделей интегральных схем.

Метод исключения Гаусса может быть реализован двумя способами:

- ◆ удаление элемента и соединение узлов, к которым он был присоединен;
- ◆ удаление узла и преобразование всех элементов, присоединенных к данному узлу.

Второй способ реализован в методе гауссовского исключения и его модификациях, таких как TICER [4–5].

Алгоритм редукции схемы и формирования модели элемента (СФ-блока) СБИС или СнК состоит из следующих основных этапов:

- 1) Выбрать узел для исключения.
- 2) Провести процедуру исключения выбранного узла, а именно добавить ветви, последовательно соединяющие все пары двухполюсников, подключенных к этому узлу.
- 3) Пометить выбранный узел и все подключенные к нему двухполюсники как исключенные.
- 4) Повторить этапы 1–3 для всех не исключенных узлов, кроме выхода.

Пример исключения узла  $e$  из графа двухполюсников приведен на рис. 1.

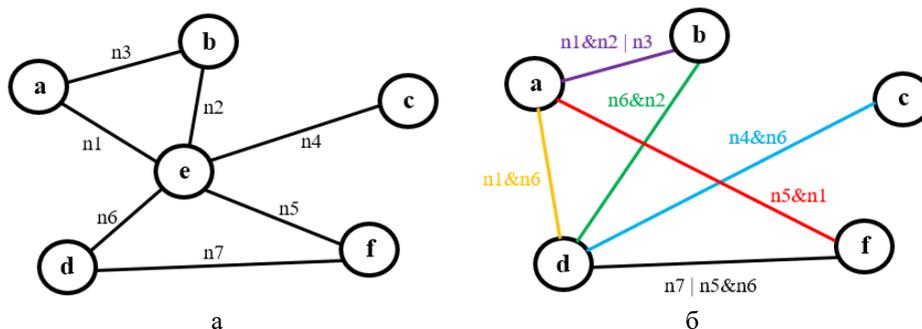


Рис. 1. Пример исключения Гаусса: а – граф до исключения узла  $e$ ; б – граф после исключения узла  $e$

Формульное выражение для определения числа новых ветвей после исключения узла имеет следующий вид:

$$k = \frac{m \cdot (m-1)}{2} - m - l,$$

где  $m$  – число узлов, связанных с исключенным узлом;  $l$  – число ветвей, связанных с исключенным узлом и оставшихся после исключения [6]. В предложенном алгоритме очередной узел для исключения выбирается, исходя из числа новых ветвей, образующихся в графе после удаления выбранного узла: чем меньше создается новых ветвей, тем выгоднее исключать узел.

В результате работы алгоритма редуцирования графовая модель схемы будет состоять из pull-up и pull-down цепочек [7–8], первая соединяет выход схемы с шиной питания, вторая – с шиной земли (рис. 2).

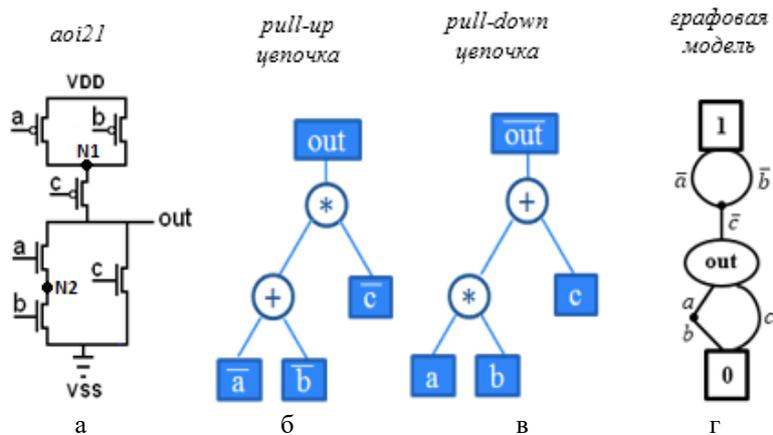


Рис. 2. Схема трехвходового элемента И-ИЛИ-НЕ (а), построенные для него pull-up (б) и pull-down (в) цепочки и графовая модель (г)

**2. Логико-временная модель элемента схемы.** На каждом шаге обобщенного метода Гаусса из схемы удаляется очередной узел, а вместо цепей, соединенных с ним, появляются новые, которые являются последовательными или параллельными комбинациями предыдущих (конъюнкция или дизъюнкция). Преобразование такого типа использовалось в программе TICER. Как правило, исключение подразумевает выборочное удаление узлов схемы и преобразование присоединенных к исключенному узлу элементов в новые элементы на основе аппроксимации передаточной функции методом Тейлора. Метод, использованный в программе TICER, работает только для обработки данных, содержащих R и C элементы [9]. В рамках настоящей статьи этот метод применен к схеме блока на транзисторном уровне.

Шаги гауссовского исключения применяется отдельно к выходам каждой компоненты, связанной по постоянному току (DCCC) [10–12]. Ниже детально рассмотрена процедура редуцирования графовой модели для элемента AOI21 с входами  $a$ ,  $b$  и  $c$ , выходом  $out$  и внутренними узлами  $N1$  и  $N2$  (рис. 2,а).

1. Исходный набор включает в себя 6 двухполосников для 6 исходных транзисторов (рис. 3):

- ♦ р-МОП транзистор между узлами  $vdd$  и  $N1$ , на затвор подается сигнал  $a$ :

$$F[1] (vdd N1) \leq a \cdot v0.$$

- ♦ р-МОП транзистор между узлами  $vdd$  и  $N1$ , на затвор подается сигнал  $b$ :

$$F[2] (vdd N1) \leq b \cdot v0.$$

- ◆ p-МОП транзистор между узлами N1 и out, на затвор подается сигнал c:  $F[3] (N1\ out) \leq c.v0$ .
- ◆ n-МОП транзистор между узлами out и N2, на затвор подается сигнал a:  $F[4] (out\ N2) \leq a.v1$ .
- ◆ n-МОП транзистор между узлами N2 и vss, на затвор подается сигнал b:  $F[5] (N2\ vss) \leq b.v1$ .
- ◆ n-МОП транзистор между узлами out и vss, на затвор подается сигнал c:  $F[6] (out\ vss) \leq c.v1$ .

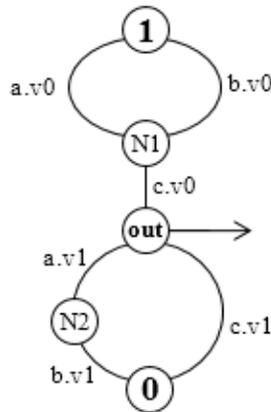


Рис. 3. Исходный набор двухполюсников для схемы AOI21

2. Параллельные двухполюсники F[5] и F[6] объединяются в F[7] (рис. 4):

$$F[7] (vdd\ N1) \leq (a.v0 \mid b.v0).$$

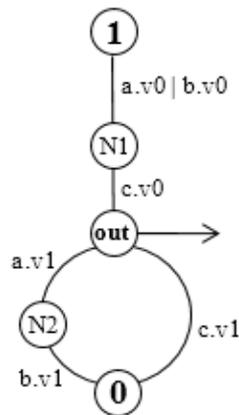


Рис. 4. Объединение параллельных двухполюсников в pull-up цепочке

3. Для редуцирования выбирается узел N2. Список резолюций для узла N2 включает в себя два двухполюсника: F[3] и F[7]. Результат редукции (последовательное соединение) может быть представлен следующим образом (рис. 5):

$$F[8] (vdd\ out) \leq ((a.v0 \mid b.v0) \& c.v0).$$

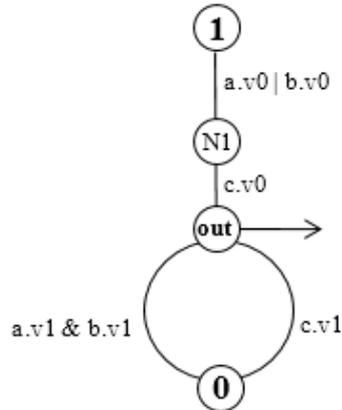


Рис. 5. Результат редукции узла N2

4. Для редуцирования выбирается следующий узел – N1. Список резолюций для узла включает два двухполюсника: F[4] и F[5]. Результат редукции может быть представлен следующим образом (рис. 6):

$$F[9] (out \ vss) \leq (a.v1 \ \& \ b.v1)$$

5. Параллельные двухполюсники F[6] и F[9] объединяются в F[10]:

$$F[10] (out \ vss) \leq (a.v1 \ \& \ b.v1) / c.v1.$$

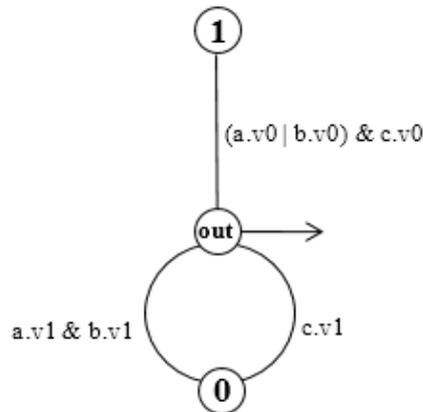


Рис. 6. Результат редукции узла N1

Таким образом, алгоритм редуцирования схемы завершает свою работу, и в графовой модели AOI21 остаются два двухполюсника между выходом и шинами питания/земли:

$$F[8] (vdd \ out) \leq ((a.v0 \ / \ b.v0) \ \& \ c.v0),$$

$$F[10] (out \ vss) \leq (a.v1 \ \& \ b.v1) / c.v1.$$

Итоговая графовая модель элемента AOI21 приведена на рис. 7.

В процессе исключения узлов схемы информация о соединенных с исключенными узлами элементах сохраняется в виде списков резолюций, которые дают возможность учитывать структуру схемы в процессе последующего анализа задержек проводящих путей схем и СФ-блоков [13–16].

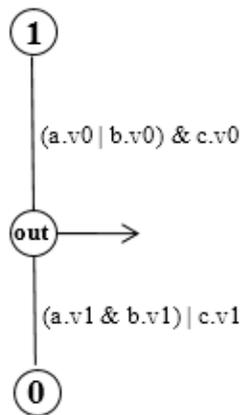


Рис. 7. Графовая модель элемента после редукции внутренних узлов

Предложенная логико-временная модель элемента КМОП ЦИС позволяет рассчитывать временные характеристики схемы как функции от произвольного набора параметров транзисторов. В отличие от моделей, представленных в работах [17–20], настоящая модель включает в себя полную информацию о структуре произвольного КМОП СФ-блока на транзисторном уровне. Кроме того, схема, полученная в результате преобразования, эквивалентна исходной схеме с точки зрения задержки Элмора и реализуемой логической функции.

**Заключение.** В отличие от существующих методов и алгоритмов редукции схем, которые направлены на уменьшение размера RC-цепей, реализация обобщенного метода Гаусса может быть применена к описанию блока на транзисторном уровне. Это позволяет представить произвольную структуру КМОП блока в виде совокупности двух двухполюсников, соединяющие выход схемы с шинами питания и земли. На основе применения метода редукции Гаусса сформирована логико-временная модель элемента (блока). Она позволяет существенно ускорить процесс моделирования по сравнению с полным схемотехническим моделированием за счет предварительного анализа на логико-временном уровне с последующим переходом к схемотехническому моделированию для ограниченного подмножества тестовых последовательностей.

#### БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. Ильин В.А., Позняк Э.Г. Линейная алгебра: учебник для вузов. – 6-е изд. – М.: Физматлит, 2004. – 280 с.
2. Гладких О.Б., Прокуратова О.Н. Введение в численные методы: учебно-методическое пособие. – Елец: Изд. ЕГУ им. И.А. Бунина, 2008. – 140 с.
3. Бахвалов Н.С., Жидков Н.П., Кобельков Г.М. Численные методы. – М.: Бином. Лаборатория знаний, 2003. – 632 с.
4. Sheehan B.N. TICER: Realizable Reduction of Extracted RC Circuits // Digest of Technical Papers, IEEE/ACM Proceedings of ICCAD, 1999. – P. 200-203.
5. Croix J.F., Wong D.F. A fast and accurate technique to optimize characterization // Proceedings of Design Automation Conference, 1997. – P. 337-340.
6. Каграманян Э.Р. Разработка методов и моделей для характеристики сложнофункциональных блоков КМОП СБИС с учетом вариаций параметров транзисторов: дисс. ... канд. техн. наук, 2009. – 124 с.
7. Степковский А.Л., Гаврилов С.В., Глебов А.Л. Методы логического и логико-временного анализа цифровых КМОП СБИС. – М.: Наука, 2007. – 220 с.

8. *Гаврилов С.В.* Методы анализа логических корреляций для САПР цифровых КМОП СБИС. – М.: Техносфера, 2011. – 136 с.
9. *Гурарий М.М., Жаров М.М., Русаков С.Г., Ульянов С.Л.* Методы возмущений и селективные методы в задачах редукции высокоразмерных моделей // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2008: Сб. научных трудов / под общ. ред. А.Л. Стемповского. – М.: ИППМ РАН, 2008. – С. 86-91.
10. *Гаврилов С.В., Глебов А.Л., Егоров Ю.Б., Стемповский А.Л.* Методы многоуровневого анализа быстродействия цифровых КМОП СБИС // Известия ВУЗов. Электроника. – 2007. – № 4. – С. 28-36.
11. *Гаврилов С.В., Гудкова О.Н., Северцев В.Н.* Интервальный статический временной анализ КМОП-схем с учетом логических корреляций // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2012: Сб. трудов / под общ. ред. академика РАН А.Л. Стемповского. – М.: ИППМ РАН, 2012. – С. 113-118.
12. *Егоров Ю.Б., Зиновьев А.В.* Алгоритм ключевого временного моделирования с оценкой мощности // Информационные технологии. – 1997. – № 9. – С. 12-16.
13. *Гаврилов С.В., Гудкова О.Н., Каграманян Э.Р.* Методы логико-временного анализа цифровых СБИС с учетом эффектов деградации транзисторов // Известия ВУЗов. Электроника. – 2008. – № 6. – С. 30-40.
14. *Гудкова О.Н., Скачкова Е.П., Муханюк Н.Н., Гаврилов С.В., Соловьев Р.А.* Методы ускоренной характеристики больших параметризованных сложно-функциональных блоков // Проблемы разработки перспективных микро- и нанoeлектронных систем – 2010: Сб. трудов / под общ. ред. академика А.Л. Стемповского. – М.: ИППМ РАН, 2010. – С. 154-159.
15. *Гаврилов С.В., Пирютина Г.А., Щелоков А.Н.* Алгоритмы характеристики и анализа задержек КМОП-вентилей с учетом деградации транзисторов // Труды Международного конгресса по интеллектуальным системам и информационным технологиям – 2013. “IS&IT’13”. – 2013. – С. 250-251.
16. *Гаврилов С.В., Иванова Г.А.* Анализ быстродействия сложных цифровых схем с учетом неопределенности технологических и схемных параметров // Вестник Рязанского государственного радиотехнического университета. – 2015. – Вып. 53, № 3. – С. 29-35.
17. *Terman C.J.* RSIM – a logic-level timing simulator // Proceedings of the IEEE International Conference on Computer Design. – 1983. – P. 437-440.
18. *Bryant R.E.* Algorithmic Aspects of Symbolic Switch Network Analysis // IEEE Transactions on CAD. – 1987. – P. 618-633.
19. *Kao R.* Piecewise Linear Models for Rsim // Proceedings of IEEE/ACM ICCAD. – 1993. – P. 753-758.
20. *Barzilai Z. et al.* SLS – a fast switch-level simulator // IEEE Transaction on Computer-Aided Design. – 1988. – No. 8. – P. 838-849.

## REFERENCES

1. *Ильин В.А., Позняк Е.Г.* Lineynaya algebra: uchebnik dlya vuzov [Linear algebra: the textbook for high schools]. 6 ed. Moscow: Fizmat-lit, 2004, 280 p.
2. *Gladkikh O.B., Prokuratova O.N.* Vvedenie v chislennye metody: uchebno-metodicheskoe posobie [Introduction to numerical methods: teaching aid]. Elec: Izd. EGU im. I.A. Bunina, 2008, 140 p.
3. *Bakhvalov N.S., Zhidkov N.P., Kobel'kov G.M.* Chislennye metody [Numerical methods]. Moscow: Binom. Laboratoriya znaniy, 2003, 632 p.
4. *Sheehan B.N.* TICER: Realizable Reduction of Extracted RC Circuits, *Digest of Technical Papers, IEEE/ACM Proceedings of ICCAD, 1999*, pp. 200-203.
5. *Croix J.F., Wong D.F.* A fast and accurate technique to optimize characterization, *Proceedings of Design Automation Conference, 1997*, pp. 337-340.
6. *Kagramanyan E.R.* Razrabotka metodov i modeley dlya kharakterizatsii slozhno-funktional'nykh blokov KMOP SBIS s uchetoм variatsiy parametrov tranzistorov: diss. ... kand. tekhn. nauk [Development of methods and models for characterization of complex functional blocks of CMOS VLSI taking into account variations of transistor parameters. Cand. of eng. sc. diss.], 2009, 124 p.

7. *Stempkovskiy A.L., Gavrilov S.V., Glebov A.L.* Metody logicheskogo i logiko-vremennogo analiza cifrovyykh KMOP SBIS [Methods of logical and logical-time analysis of digital CMOS VLSI]. Moscow: Nauka, 2007, 220 p.
8. *Gavrilov S.V.* Metody analiza logicheskikh korrelyatsiy dlya SAPR cifrovyykh KMOP SBIS [Methods of analysis of logical correlations for CAD digital CMOS VLSI]. Moscow: Tekhnosfera, 2011, 136 p.
9. *Gurariy M.M., Zharov M.M., Rusakov S.G., Ul'yanov S.L.* Metody vozmushcheniy i selektivnyye metody v zadachakh redukcii vysokorazmernyykh modeley [Perturbation methods and selective methods for the reduction of high-dimensional models], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2008: Sb. nauchnykh trudov* [Problems of development of advanced micro- and nanoelectronic systems-2008: Collection of scientific papers], ed. by A.L. Stempkovskogo. Moscow: IPPM RAN, 2008, pp. 86-91.
10. *Gavrilov S.V., Glebov A.L., Egorov Yu.B., Stempkovskiy A.L.* Metody mnogourovnevego analiza bystrodeystviya cifrovyykh KMOP SBIS [Methods of multilevel analysis of the speed of digital CMOS VLSI], *Izvestiya VUZov. Elektronika* [Proceedings of universities. Electronics], 2007, No. 4, pp. 28-36.
11. *Gavrilov S.V., Gudkova O.N., Severcev V.N.* Interval'nyy staticheskiy vremennoy analiz KMOP-skhem s uchetom logicheskikh korrelyatsiy [The interval of static time analysis of CMOS circuits in the logical correlations], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2012: Sb. trudov* [Problems of development of perspective micro- and nanoelectronic systems – 2012: Collection of articles], ed. by A.L. Stempkovskogo. Moscow: IPPM RAN, 2012, pp. 113-118.
12. *Egorov Yu.B., Zinov'ev A.V.* Algoritm klyuchevogo vremennogo modelirovaniya s ocenкой moshchnosti [Key time simulation algorithm with power estimation], *Informacionnyye tekhnologii* [Information technologies], 1997, No. 9, pp. 12-16.
13. *Gavrilov S.V., Gudkova O.N., Kagramanyan E.R.* Metody logiko-vremennogo analiza cifrovyykh SBIS s uchetom effektivov degradatsii tranzistorov [Methods of logic-time analysis of digital VLSI taking into account the effects of transistor degradation], *Izvestiya VUZov. Elektronika* [Proceedings of universities. Electronics], 2008, No. 6, pp. 30-40.
14. *Gudkova O.N., Skachkova E.P., Mukhanyuk N.N., Gavrilov S.V., Solov'ev R.A.* Metody uskorennoy karakterizatsii bol'shikh parametrizovannykh slozhno-funktsional'nykh blokov [Methods of fast characterization of large parameterized complex-function blocks], *Problemy razrabotki perspektivnykh mikro- i nanoelektronnykh sistem – 2010: Sb. trudov* [Problems of development of perspective micro- and nanoelectronic systems – 2010: Collection of articles], ed. by A.L. Stempkovskogo. Moscow: IPPM RAN, 2010, pp. 154-159.
15. *Gavrilov S.V., Piryutina G.A., Shchelokov A.N.* Algoritmy kharakterizatsii i analiza zaderzhek KMOP-ventiley s uchetom degradatsii tranzistorov [Algorithms of characterization and analysis of delays of CMOS valves taking into account the degradation of transistors], *Trudy Mezhdunarodnogo kongressa po intellektual'nym sistemam i informatsionnym tekhnologiyam – 2013. "IS&IT'13"* [Proceedings of the International Congress on intelligent systems and information technology-2013. "IS & IT'13"], 2013, pp. 250-251.
16. *Gavrilov S.V., Ivanova G.A.* Analiz bystrodeystviya slozhnykh cifrovyykh skhem s uchetom neopredelennosti tekhnologicheskikh i skhemnykh parametrov [Analysis of the performance of complex digital circuits with uncertainty of technological and circuit parameters], *Vestnik Ryazanskogo gosudarstvennogo radiotekhnicheskogo universiteta* [Bulletin of Ryazan state radio engineering University], 2015, Issue 53, No. 3, pp. 29-35.
17. *Terman C.J.* RSIM – a logic-level timing simulator, *Proceedings of the IEEE International Conference on Computer Design*, 1983, pp. 437-440.
18. *Bryant R.E.* Algorithmic Aspects of Symbolic Switch Network Analysis, *IEEE Transactions on CAD*, 1987, pp. 618-633.
19. *Kao R.* Piecewise Linear Models for Rsim, *Proceedings of IEEE/ACM ICCAD*, 1993, pp. 753-758.
20. *Barzilai Z. et al.* SLS – a fast switch-level simulator, *IEEE Transaction on Computer-Aided Design*, 1988, No. 8, pp. 838-849.

Статью рекомендовал к опубликованию к.т.н., доцент А.В. Коршунов.

**Гаврилов Сергей Витальевич** – Институт проблем проектирования в микроэлектронике РАН (ИППМ РАН); e-mail: sergey\_g@ippm.ru; 124365, Москва, Зеленоград, ул. Советская, 3; тел.: +74997299890; отдел автоматизации проектирования цифровых схем; г.н.с.; д.т.н.; профессор.

**Рыжова Дарья Игоревна** – e-mail: ryzhova\_d@ippm.ru; отдел автоматизации проектирования цифровых схем; н.с.; к.т.н.

**Щелоков Альберт Николаевич** – e-mail: schan@ippm.ru; с.н.с.; к.ф.-м.н.; доцент.

**Gavrilov Sergey Vitalievich** – Institute for design problems in microelectronics of Russian Academy of Science (IPPM RAS); e-mail: sergey\_g@ippm.ru; 124365, Moscow, Zelenograd, Sovetskaya Street, 3; phone: +74997299890; the department of digital circuits design automation, senior research scientist; dr. of eng. sc.; professor.

**Ryzhova Daria Igorevna** – e-mail: ryzhova\_d@ippm.ru; the department of digital circuits design automation; research scientist; cand. of eng. sc.;

**Schelokov Albert Nikolaevich** – e-mail: schan@ippm.ru; senior researcher; cand. of phys. and math. sc.; associate professor.

УДК 519.712.2

DOI 10.23683/2311-3103-2018-4-14-24

**Л.А. Гладков, Н.В. Гладкова, С.Н. Лейба****ГИБРИДНАЯ МОДЕЛЬ РЕШЕНИЯ ОПТИМИЗАЦИОННЫХ ЗАДАЧ  
ПРОЕКТИРОВАНИЯ\***

*Рассматриваются методы оптимизационных задач автоматизированного проектирования схем цифровой электронно-вычислительной аппаратуры. Отмечена актуальность и важность разработка новых эффективных методов решения подобных задач. Приведена постановка задачи размещения элементов схем электронной аппаратуры, выбраны ограничительные области допустимых решений. Предложена методика определения качества получаемого решения на основе комплексной нормированной оценки сумм штрафов по нескольким выбранным критериям. Предложена новая гибридная модель рассматриваемой задачи на основе сочетания эволюционных методов поиска, математического аппарата нечеткой логики и возможностей параллельной организации вычислительного процесса. Разработаны новые модификации основных генетических операторов. Предложен модифицированный оператор миграции для обмена информацией между популяциями решений в процессе выполнения параллельных вычислений. Разработана структура параллельного гибридного алгоритма. Для обмена решениями между популяциями предложено использовать островную и буферную модели параллельного генетического алгоритма. Предложена реализация модуля нечеткого управления на основе использования многослойной нейронной сети и функции Гаусса. Для повышения качества получаемых результатов в контур эволюции экспертной информации включен нечеткий логический контроллер, регулирующий значения параметров процесса эволюции. Сформулированы основные принципы работы блока нечеткого управления. Представлена структурная схема, разработанного гибридного алгоритма. Подробно рассмотрены особенности программной реализации предложенного гибридного алгоритма. Описана структура интерфейса, представлены основные элементы графического интерфейса разработанного приложения. Представлено краткое описание проведенных вычислительных экспериментов, подтверждающих эффективность предложенного метода.*

*Автоматизация проектирования; генетический алгоритм; эволюционные вычисления; нечеткое управление; параллельные вычисления; нечеткий логический контроллер.*

---

\* Работа выполнена при поддержке РФФИ (проект № 17-01-00627).